

(11)Publication number : 08-212793
 (43)Date of publication of application : 20.08.1996

(51)Int.Cl. G11C 19/00
 G09G 3/20
 G09G 3/36
 G11C 19/28

(21)Application number : 07-200052 (71)Applicant : SANYO ELECTRIC CO LTD
 (22)Date of filing : 04.08.1995 (72)Inventor : KIHARA KATSUYA
 WADA ATSUSHI
 FURUKAWA MASAYUKI

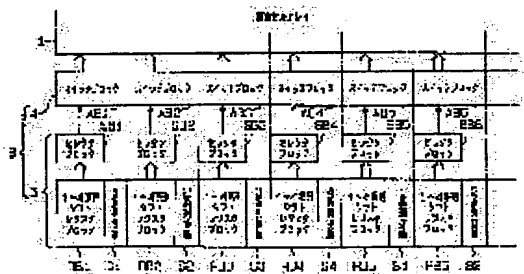
(30)Priority
 Priority number : 06295029 Priority date : 29.11.1994 Priority country : JP

(54) SHIFT REGISTER AND DISPLAY DEVICE

(57)Abstract:

PURPOSE: To obtain a shift register which can reduce the irregularity in transmission delay time.

CONSTITUTION: A data driver 3 for an LCD panel is constituted of a sampling transistor group 4 and a shift register group 5. In the shift register group 5, shift register blocks constituted of one- to four-series shift registers composed of right and left normal redundant shift registers SR1 to SR4 and one- to four-series connection parts S1 to S4 are installed. The one- to four-series connection parts S1 to S4 are arranged respectively independently, and only one out of the one- to four-series connection parts S1 to S4 is arranged between register blocks RB1 to RB4 constituted of the one- to four-series shift registers. The one- to four-series shift registers SR1 to SR4 in the respective register blocks are respectively at an identical distance.



* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]Two or more shift register blocks (RB1 - RBm) constituted with a shift register (11-14) of two or more series, It is provided to a shift register (11-14) of two or more of said series, respectively, It has two

or more terminal areas (S1 - S4) which connect a shift register (11-14) of each series, respectively, A shift register arranged in a shift register which arranged a shift register block (RB1 - RBm) and a terminal area (S1 - S4) of said plurality to a single tier in a position in which a terminal area of at least one series estranged a terminal area (S1 - S4) of each of said series with a terminal area of other series.

[Claim 2] A shift register in which one terminal area (S1 - S4) of each series has been stationed in each order between said each shift register block (RB1 - RBm) in the shift register according to claim 1, respectively.

[Claim 3] A shift register in which said terminal area (S1 - S4) has been stationed for two or more shift register blocks of every in the shift register according to claim 1.

[Claim 4] In a shift register of a statement, among claims 1-3, in any 1 paragraph a shift register (11-14) of two or more of said series, Comprise a regular shift register (SR1, SR3) and a redundant shift register (SR2, SR4), respectively, and said terminal area, It is detected whether a shift action with a normal regular shift register (SR1, SR3) of each series is performed, A regular shift register of a series in which the following shift register block corresponds an output from the regular shift register (SR1, SR3) when a shift action with a normal regular shift register (SR1, SR3) is being performed based on the detection result (SR1, SR3). And it outputs to a redundant shift register (SR2, SR4), A regular shift register (SR1, SR3) a normal shift action. A shift register it was made to output an output from a redundant shift register (SR2, SR4) to a regular shift register (SR1, SR3) and a redundant shift register (SR2, SR4) of a series in which the following shift register block corresponds when not carrying out.

[Claim 5] A display comprising:

Two or more data lines connected to a pixel cell (GC) (D1-D16m).

A shift registers group (5) constituted by any 1 paragraph with a shift register of a statement among claims 1-4.

A data driver (3) which comprised a sampling transistor group (4) which transmits a video signal in which on-off control is carried out by the shift registers group (5), and which is transmitted to a video line (VL) to each data line (D1-D16m).

[Claim 6] In the display according to claim 5, a shift register (11-14) of each series of said shift registers group (5), A display which comprised a shift-to-the-left regular shift register (SR1), a shift-to-the-left redundant shift register (SR2), a shift-to-the-right regular shift register (SR3), and a shift-to-the-right redundant shift register (SR4), respectively.

[Claim 7] A shift register constituted in a shift register given in any 1 paragraph by thin film transistor to which said shift register makes a polycrystalline silicon film an active layer among claims 1-4.

[Claim 8] A display in which said data driver is constituted in the display according to claim 5 or 6 by thin film transistor which makes a polycrystalline silicon film an active layer.

[Translation done.]

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to a shift register and a display, and relates to active matrix system LCD of a driver integral type provided with the shift register of a plural series in detail.

[0002]

[Description of the Prior Art] In recent years, the liquid crystal display (LCD; Liquid Crystal Display) of the

active matrix system using a thin film transistor (TFT;Thin Film Transistor) attracts attention as a high definition display.

[0003]A simple matrix system and an active matrix system are among dot-matrix LCD which displays at the point (dot) arranged at the matrix. A simple matrix system is a method which carries out the direct drive of the liquid crystal of each pixel cell arranged at the matrix from the outside synchronizing with a scanning signal.

The picture element part (liquid crystal panel) which is an indicator of LCD comprises only an electrode and a liquid crystal.

Therefore, if the number of scanning lines increases, the driving time (duty) assigned to one pixel cell will decrease, and there is a fault that contrast falls.

[0004]each pixel cell by which the active matrix system has been arranged on the other hand at the matrix -- a pixel driver element (an active element.) accumulating a switch element, a pixel controlling element, and a signal storing element (pixel capacity), and making a kind of storage operation perform to each pixel cell -- a liquid crystal -- semi- -- it is a method driven statically. That is, a pixel driver element functions with a scanning signal as a switch with which an on-off state switches. And the video signal (a data signal, a status signal) sent is transmitted to the wiring (data line) inside an LCD panel via a drive circuit (data driver) from the outside. The transmitted video signal is transmitted to a pixel cell via the pixel driver element in an ON state, and the drive of a liquid crystal is performed. Then, if a pixel driver element is turned off, the data signal impressed to the pixel cell is stored in a signal storing element in the state of an electric charge, and the drive of a liquid crystal will be succeedingly performed until a pixel driver element is turned on next. Therefore, even if the driving time which the number of scanning lines increases and is assigned to one pixel cell decreases, the drive of a liquid crystal is not influenced and contrast does not fall. Therefore, according to the active matrix system, a high definition far display is attained compared with a simple matrix system.

[0005]An active matrix system is divided roughly into a transistor type (3 terminal type) and a diode type (2 terminal type) by the difference in a pixel driver element. A transistor type is easy to compare with a diode type, and to make contrast and resolution high, while manufacture is difficult, and has the feature that high-definition LCD which is equal to CRT is realizable. Generally as a transistor type pixel driver element, TFT is used.

[0006]Drawing 8 is an explanatory view showing the arrangement and connection of the shift registers group 50 of four series provided in the data driver of active matrix system LCD. Two or more shift register blocks (only henceforth a register block) 51-53 are formed in the shift registers group 50. Each register blocks 51-53 are constituted by the shift registers 54-57 of the 1st - the 4th series arranged in order, respectively. The shift registers 54-57 of each series are constituted by the regular shift register SSR and the redundant shift register RSR, respectively. Namely, each register blocks 51-53, Regular shift register SSR1 of the 1st series, redundant shift register RSR1, regular shift register SSR2 of the 2nd series, redundant shift register RSR2, regular shift register SSR3 of the 3rd series, redundant shift register RSR3, regular shift register SSR4 of the 4th series, It is arranged in order of redundant shift register RSR4.

[0007]The 1st - the 4th series of each register blocks 51-53 are regular, and the redundant shift registers SSR1-SSR4, RSR1 - RSR4 are connected, respectively. That is, 1st series regular shift register SSR1 of each register blocks 51-53 is connected to series, respectively, and 1st series redundant shift register RSR1 is connected to series, respectively. the same -- each register blocks 51-53 -- regular and redundant shift register SSR4, and RSR4 are connected [regular and redundant shift register SSR2, and RSR2] for regular and redundant shift register SSR3, and RSR3 in series respectively mutually the 4th series the 3rd series the 2nd series.

[0008]The terminal area 60 is established in the shift registers group 50. The terminal area 60 is constituted by the terminal areas 61-64 of the 1st - the 4th series. The one terminal area 61-64 of each series is formed to two or more register blocks 51-53. The corresponding series between the register blocks 51 and 52 of each terminal areas 61-64 is regular respectively, and they are connected between the redundant shift registers SSR1-SSR4, RSR1 - RSR4.

[0009]When not performing a shift action with the respectively normal regular shift registers SSR1-SSR4 of each series, the terminal areas 61-64 of each series choose the data transmitted with the redundant shift registers RSR1-RSR4, and transmit to the data line. That is, as shown in drawing 9, the terminal area 61 of the 1st series comprises the switch circuit 71 and the transmission gates 72 and 73. The switch circuit 71 inputs the data outputted from regular shift register SSR1, and judges whether based on the data, regular shift register SSR1 is performing the normal shift action. And the switch circuit 71 controls the transmission gates 72 and 73 and the selector 74 which was regular and was connected to redundant

shift register SSR1 and RSR1 based on the decision result.

[0010]Namely, when regular shift register SSR1 is performing the normal shift action, the switch circuit 71, The transmission gate 72 is controlled to one, the transmission gate 73 is controlled at OFF, and the data from regular shift register SSR1 is transmitted to regular and redundant shift register SSR2 of the next step, and RSR2. The switch circuit 71 makes the signal which controls the selector 74 and is outputted from regular shift register SSR1 output to the analog switch 77. The analog switch 77 is turned on and off based on the inputted signal from regular shift register SSR1, and the video signal transmitted to video line VL is impressed to a pixel cell.

[0011]On the other hand, when regular shift register SSR1 is not performing the normal shift action, the switch circuit 71 controls the transmission gate 72 at OFF, and controls the transmission gate 73 to one. Then, the next step of the data outputted from redundant shift register RSR1 is regular, and it is transmitted to redundant shift register SSR2 and RSR2. The switch circuit 71 makes the signal which controls the selector 74 and is outputted from redundant shift register RSR1 output to the analog switch 77. As a result, since movement of data does not stop and a video signal is impressed to a pixel cell, the picture for one screen can be displayed.

[0012]Since it is the same as connection [in / the 2nd - the 4th series are regular, and / in connection and operation of the terminal areas 62-64 of the redundant shift registers SSR2-SSR4, RSR2 - RSR4 and the 2nd - the 4th series / the 1st series], and operation, a graphic display and explanation are omitted.

[0013]It is provided in order to simplify the circuitry of the timing controller (not shown) which generates a clock signal for each series to be regular and for the redundant shift registers SSR1-SSR4, RSR1 - RSR4 sample a video signal. That is, as shown in drawing 10, the regular shift registers SSR1-SSR4 of each series comprise the two clocked inverter circuits 90 and 91 and the inverter circuits 92, respectively. If the signal of H level is inputted into the input terminal A and they input the signal of L level into the input terminal B, the clocked inverter circuits 90 and 91 will operate as an inverter circuit, and will reverse and output the signal inputted into the input terminal.

[0014]Clock signal CK1 and Bar CK1 are supplied to shift register SSR1 of the 1st series, and clock signal CK2 and Bar CK2 are supplied to shift register SSR2 of the 2nd series. Clock signal CK3 and Bar CK3 are supplied to shift register SSR3 of the 3rd series, and clock signal CK4 and Bar CK4 are supplied to shift register SSR4 of the 4th series. Each clock signal CK1, Bar CK1 - CK4, and Bar CK4 shift 1 / 4 cycle phase with the timing controller of the LCD panel exterior, respectively, they are generated, and are supplied.

[0015]That is, based on each clock signal CK1, Bar CK1 - CK4, and Bar CK4, each shift registers SSR1-SSR4 shift NMOS transistors 77-80 a term 1/4 round, and carry out on-off control one by one. And NMOS transistors 77-80 controlled by one sample the video signal transmitted to video line VL, and supply it to the pixel cell connected to each NMOS transistors 77-80. Therefore, since it can hold down to one fourth of the frequency of the frequency which samples a video signal about the frequency of clock signal CK1, Bar CK1-CK4, and Bar CK4, The composition of the timing controller which generates each clock signal CK1, Bar CK1 - CK4, and Bar CK4 can be simplified.

[0016]The redundant shift registers RSR1-RSR4 of each series, Since it is used when not performing a shift action with the normal regular shift registers SSR1-SSR4 of each series, and the composition and operation are the same as the regular shift registers SSR1-SSR4, while omitting a drawing, the explanation of operation is omitted.

[0017]

[Problem(s) to be Solved by the Invention]By the way, since the terminal areas 61-64 of each series are stationed between the register blocks 51 and 52, compared with between the register blocks 52 and 53, it is separated only from the part of the terminal areas 61-64 of distance between the register blocks 51 and 52. As a result, compared with the data in which the data transmitted to the register block 52 from the register block 51 is transmitted to the register block 53 from the register block 52, the transfer time becomes long. As a result, the signal transmitted between the register blocks 51 and 52 in which the terminal area 60 was formed will be greatly overdue compared with the signal transmitted between the register blocks 52 and 53 in which the terminal area 60 is not formed. Therefore, in the whole LCD panel, the portion which is in the data transmitted greatly comes to exist in some places. As a result, since the signal for sampling the video signal is overdue to the video signal of the picture which it is going to display, timing shifts and there is a problem that an exact picture cannot be displayed. When it was going to double timing, circuitry, such as a video signal processing circuit of the LCD panel exterior and a timing controller, became complicated, and there was a problem that circuit structure increased. Luminosity unevenness arose in the picture displayed on a signal by the signal in the portion which delay produces, and there was

a problem that a picture may become hard to see.

[0018]This invention is made in order to solve the above-mentioned problem, and it has the following purposes.

1]The shift register which can lessen dispersion in transmission delay time is provided.

[0019]2]The display using the shift register which can lessen dispersion in transmission delay time can be provided.

3]A highly efficient shift register is provided.

[0020]4]A high definition display is provided.

[0021]

[Means for Solving the Problem]Two or more shift register blocks which the invention according to claim 1 comprised with a shift register of two or more series, In a shift register which was provided to a shift register of two or more of said series, respectively, was provided with two or more terminal areas which connect a shift register of each series, respectively, and arranged a shift register block and a terminal area of said plurality to a single tier, Let it be a gist to have arranged a terminal area of each of said series in a position which a terminal area of at least one series estranged with a terminal area of other series.

[0022]The invention according to claim 2 makes it a gist to have stationed one terminal area of each series in each order, respectively between said each shift register block in the shift register according to claim 1.

[0023]The invention according to claim 3 makes it a gist to have stationed said terminal area for two or more shift register blocks of every in the shift register according to claim 1. In a shift register of a statement, the invention according to claim 4 in any 1 paragraph among claims 1-3 a shift register of two or more of said series, Comprise a regular shift register and a redundant shift register, respectively, and said terminal area, It is detected whether a shift action with a normal regular shift register of each series is performed, When a shift action with a normal regular shift register is being performed based on the detection result, an output from the regular shift register is outputted to a regular shift register and a redundant shift register of a series in which the following shift register block corresponds, When a shift action with a normal regular shift register is not being performed, let it be a gist to have made it output an output from a redundant shift register to a regular shift register and a redundant shift register of a series in which the following shift register block corresponds.

[0024]Two or more data lines with which the invention according to claim 5 was connected to a pixel cell, A shift registers group constituted by any 1 paragraph with a shift register of a statement among claims 1-4, On-off control is carried out by the shift registers group, and let it be a gist to have had a data driver which comprised a sampling transistor group which transmits a video signal transmitted to a video line to each data line.

[0025]In the display according to claim 5, the invention according to claim 6 a shift register of said shift registers group, Let it be a gist to comprise a shift-to-the-left regular shift register, a shift-to-the-left redundant shift register, a shift-to-the-right regular shift register, and a shift-to-the-right redundant shift register, respectively.

[0026]The invention according to claim 7 makes it a gist for said shift register to be constituted by thin film transistor which makes a polycrystalline silicon film an active layer in a shift register given in any 1 paragraph among claims 1-4.

[0027]The invention according to claim 8 makes it a gist for said data driver to be constituted by thin film transistor which makes a polycrystalline silicon film an active layer in the display according to claim 5 or 6.

[0028]Therefore, according to the invention according to claim 1, a shift register block is constituted by shift register of two or more series. A terminal area is provided to two or more series, respectively, and a shift register of each series is connected, respectively. Two or more terminal areas are arranged by position which a terminal area of at least one series estranged with a terminal area of other series.

[0029]According to the invention according to claim 2, one terminal area of each series is stationed in each order between each shift register block, respectively. According to the invention according to claim 3, a terminal area is stationed for two or more shift register blocks of every.

[0030]According to the invention according to claim 4, a shift register of two or more series comprises a regular shift register and a redundant shift register, respectively. And it is detected by terminal area whether a shift action with a normal regular shift register of each series is performed, When a shift action with a normal regular shift register is being performed based on the detection result, an output from the regular shift register is outputted to a regular shift register and a redundant shift register of a series in which the following shift register block corresponds. When a shift action with a normal regular shift register is not being performed, an output from a redundant shift register is outputted to a regular shift register and a redundant shift register of a series in which the following shift register block corresponds.

[0031]According to the invention according to claim 5, two or more data lines are connected to a pixel cell. A data driver comprises a shift registers group and a sampling transistor group. A shift registers group is constituted by two or more shift register blocks. A shift register block is constituted by shift register of two or more series, and the shift register comprises a regular shift register and a redundant shift register. Regular [the] and a redundant shift register are connected by terminal area, respectively. On-off control of the sampling transistor group is carried out by shift registers group, and it transmits a video signal transmitted to a video line to each data line.

[0032]According to the invention according to claim 6, a shift register of each series comprises a shift-to-the-left regular shift register, a shift-to-the-left redundant shift register, a shift-to-the-right regular shift register, and a shift-to-the-right redundant shift register, respectively.

[0033]In the invention according to claim 7, mobility is large and a thin film transistor which makes a polycrystalline silicon film an active layer has high driving ability. Therefore, a shift register can be made highly efficient.

[0034]In the invention according to claim 8, mobility is large and a thin film transistor which makes a polycrystalline silicon film an active layer has high driving ability. Therefore, it becomes possible to make a data driver highly efficient, and a display can be made into high definition.

[0035]

[Embodiment of the Invention]Hereafter, one embodiment which materialized this invention is described according to drawing 1 - drawing 5. Drawing 2 is a block circuit diagram of the active matrix system LCD panel of this embodiment.

[0036]The LCD panel comprises the pixel cell array 1, the gate driver 2, and the data driver 3. Each scanning lines (gate wire) G1-Gn and each data-line (drain wiring) D1-D16m are arranged at the pixel cell array (picture element part) 1. n and m are integers. Each scanning line Gn and each data line D16m intersect perpendicularly, respectively, and pixel GC is provided in the rectangular portion. And each scanning line Gn is connected to the gate driver 2, and a scanning signal (gating signal) is impressed. Each data line D16m is connected to the data driver 3, and a video signal is impressed. The circumference driving circuit part 101 is constituted by these drivers 2 and 3. And generally the LCD panel which formed either on the same substrate as the pixel cell array 1 at least among each drivers 2 and 3 is called driver integral-type (driver built-in) LCD. In driver integral-type LCD, since each lines G1-Gn and a D1-D16m wire length become short, it can become possible to make wiring resistance and wiring capacity small, and image quality can be raised.

[0037]Pixel cell GC comprises TFT102 as a pixel driver element, a liquid crystal cell LC, and auxiliary capacity CS. The gate of TFT102 is connected to the scanning line Gn, and the drain of TFT102 is connected to the data line D16m. And the display electrode (picture element electrode) and auxiliary capacity (storage capacitance or additional capacities) CS of liquid crystal cell LC are connected to the sauce of TFT102. Said signal storing element is constituted by this liquid crystal cell LC and auxiliary capacity CS. The voltage Vcom is impressed to the common electrode (electrode of the opposite hand of a display electrode) of liquid crystal cell LC. On the other hand, in auxiliary capacity CS, constant-voltage VR is impressed to the electrode of the opposite hand of the electrode of the side connected with the sauce of TFT102. The common electrode of this liquid crystal cell LC is the electrode which was common to all the pixel cell GC literally. And electric capacity is formed between the display electrode of liquid crystal cell LC, and the common electrode. In auxiliary capacity CS, the electrode of the opposite hand of the electrode of the side connected with the sauce of TFT102 may be connected with the next scanning line.

[0038]In pixel cell GC constituted in this way, if the scanning line Gn is made into positive voltage and positive voltage is impressed to the gate of TFT102, TFT102 will become one. Then, the electric capacity and auxiliary capacity CS of liquid crystal cell LC are charged with the video signal impressed to the data line D16m. If the scanning line Gn is made into negative voltage and negative voltage is impressed to the gate of TFT102 on the contrary, TFT102 will become off and the voltage currently impressed to the data line D16m at the time will be held by the electric capacity and auxiliary capacity CS of liquid crystal cell LC. Thus, arbitrary video signals can be made to hold to pixel cell GC by giving a video signal to write in pixel cell GC to the data line D16m, and controlling the voltage of the scanning line Gn. The transmissivity of liquid crystal cell LC changes according to the video signal which the pixel cell GC holds, and a picture is displayed.

[0039]Here, a write characteristic and holding property are important as the characteristic of pixel cell GC. ***** [that being required from a write characteristic can fully write in desired video signal voltage in the unit time defined from the specification of the pixel cell array 1 to a signal storing element (liquid

crystal cell LC and auxiliary capacity CS)] -- it is a point to say. Being required from holding property is the point whether only required time can hold the video signal voltage once written in the signal storing element.

[0040]Auxiliary capacity CS is provided in order to increase the electric capacity of a signal storing element and to raise a write characteristic and holding property. That is, as for liquid crystal cell LC, there is a limit in increase of electric capacity on the structure. Then, the insufficiency of the electric capacity of liquid crystal cell LC is compensated by auxiliary capacity CS.

[0041]The data driver 3 comprises the sampling transistor group 4 and the shift registers group 5 which carries out on-off control of the sampling transistor group 4. The shift registers group 5 inputs clock signal CK, and performs a shift action based on the clock signal. And the video signal sent via video line VL from the exterior is impressed to each data-line D1-D16m via the sampling transistor group 4 controlled by the shift registers group 5 by one.

[0042]The shift direction setting circuit 6 is established in the LCD panel. The shift direction of the left or the right is set up according to the specification of an LCD panel, and the shift direction setting circuit 6 outputs the shift direction signal DR of the set-up direction.

[0043]As shown in drawing 1, two or more shift register block (henceforth register block) RB1, RB2, --RBm are provided in the shift registers group 5. The shift registers group 5 is a shift register of four series, and as shown in drawing 5, each register block RB1, RB2, --RBm are constituted by the shift registers 11-14 of the 1st - the 4th series, respectively.

[0044]The shift registers 11-14 of each series, respectively The regular shift register for shifts to the left. (It is hereafter called a left regular register) SR1 and a shift-to-the-left redundant shift register. (It is hereafter called a left redundant register) It is SR2, shift-to-the-right regular shift register (henceforth right regular register) SR3, and shift-to-the-right redundant shift register (henceforth right redundant register) SR4.

[0045]Left regular register SR1 of the shift registers 11-14 of each series which constitutes each register block RB1 - RBm is connected in series, and left redundant register SR2 is connected in series. Left norm and left redundant register SR1 and SR2 perform a shift action toward the left from the right of an LCD panel. Right regular register SR3 is connected in series, and right redundant register SR4 is connected in series. Right norm and right redundant register SR3 and SR4 perform a shift action toward the right from the left of an LCD panel.

[0046]An LCD panel is a liquid crystal panel used for a liquid crystal projection system, for example. A liquid crystal projection system is for compounding the light which penetrated R and G which are used as a light valve, and the LCD panel of three sheets for B by two or more dichroic mirrors and mirrors, and displaying an image on a screen. Therefore, it is necessary to display a mirroring image on an LCD panel by the number of times reflected by the dichroic mirror or a mirror. Therefore, the LCD panel can display now the ** mirroring image which switches the direction of a sampling. Since a normal image and a mirroring image can be switched and displayed by this composition, R, G, and the LCD panel for B can be shared.

[0047]The shift registers 11-14 of the 1st - the 4th series are arranged by the single tier in each register block RB1 - RBm. each shift registers 11-14 are constituted -- the left -- regular and redundant register SR1, and SR2 -- the right -- it is arranged by the single tier in regular, and the direction and uniform direction where each shift registers 11-14 were arranged in each shift register 11-14 in redundant register SR3 and SR4.

[0048]As shown in drawing 1, corresponding to each register block RB1 - RBm, selector block SB1 - SBm are provided in the shift registers group 5. Each register block RB1 - RBm are connected to the sampling transistor group 4 via selector block SB1 - SBm, respectively. The sampling transistor group 4 is constituted by two or more analog switch block (henceforth switch block) AB1 - ABm.

[0049]Two or more the terminal areas S1 - S4 of the 1st - the 4th series are provided in the shift registers group 5. The terminal area S1 - S4 of register block RB1 - RBm, and each series are arranged at the single tier. On both sides of the terminal area S1 of each series - any 1 of S4, it is arranged at adjoining register block RB1 - RBm. The terminal area S1 - S4 of each series are arranged in order of terminal area S4 of the 4th series from the terminal area S1 of the 1st series, and the terminal area S1 of the 1st series is stationed after terminal area S4 of the 4th series.

[0050]register block RB1 and RB2 -- in between, the terminal area S1 of the 1st series is stationed -- register block RB2 and RB3 -- in between, the terminal area S2 of the 2nd series is stationed -- register block RB3 and RB4 -- in between, the terminal area S3 of the 3rd series is stationed. [namely,] register block RB4 and RB5 -- in between, terminal area S4 of the 4th series is arranged -- register block RB5 and RB6 -- in between, the terminal area S1 of the 1st series is stationed. [and]

[0051]The shift registers 11-14 of each series are connected respectively via the terminal area S1 - S4 of each series. For example, as shown in drawing 4 (a), left regular register SR1 of the shift register 11 of the 1st series of register block RB1 is connected to left norm [of following register block RB2], and left redundant register SR1, and SR2 via the terminal area S1 of the 1st series. Similarly left redundancy [of the 1st series of register block RB1], right regular, and right redundant register SR2 - SR4, It is connected to left redundancy [of following register block RB2] and left regular, right norm and right redundancy, right redundancy, and right regular register SR1 - SR4 via the terminal area S1 of the 1st series, respectively.

[0052]As shown in drawing 4 (b), it is register block RB2 and RB3. When facing across the terminal area S2 of the 2nd series in between, Right-and-left [of the 1st series of register block RB2] and regular redundant register SR1 - SR4 are connected to right-and-left [of the 1st series of following register block RB3], and regular redundant register SR1 - SR4, respectively. When inserting the terminal area S3 of the 3rd or 4th series, and S4, it is connected similarly.

[0053]register block RB1 and RB2 -- in between, only the terminal area S1 of the 1st series is stationed - register block RB2 and RB3 -- in between, only the terminal area S2 of the 2nd series is stationed. [namely,] register block RB3 and RB4 -- in between, only the terminal area S3 of the 3rd series is stationed -- register block RB4 and RB5 -- in between, only terminal area S4 of the 4th series is arranged. The distance between each register block RB1 - RBm becomes the same.

[0054]Register block RB1 and RB2 Only the part which goes via the terminal area S1 of the 1st series compared with the data in which the data transmitted by each register SR1 of the 1st series of a between - SR4 is transmitted by the 2nd - each register SR1 of the 4th series - SR4 becomes late. However, the part which does not pass the terminal area S2 - S4 of the 2nd - the 4th series, and its transmission delay time become short compared with the former. Similarly, it goes via the terminal area S2 of the 2nd series, and is register block RB2 and RB3. The transmission delay time of **** when the data transmitted by each register SR1 of the 2nd series of a between - SR4 does not pass the terminal area S1 of the 1st, 3rd, and 4th series, S3, and S4 becomes short compared with the former. Each register SR1 of the 3rd series between register block RB3 and RB4 - SR4, Register block RB4 and RB5 The part in which the data transmitted by each register SR1 of the 4th series of a between - SR4 does not pass the terminal area S1 - S4 of a series of others respectively, and its transmission delay time become short compared with the former. As a result, dispersion of data transmitted between each register block RB1 - RBm in the transmission delay time decreases compared with the former.

[0055]All the data transmitted with the shift registers 54-57 of the 1st - the 4th series is delayed by the conventional shift register 50. On the other hand, it is register block RB1 and RB2. Since only the data transmitted with the shift register 11 of the 1st series in between is delayed and the data transmitted with the shift registers 12-14 of the 2nd - the 4th series is not delayed, dispersion can be lessened on appearance.

[0056]As shown in drawing 3, selector block SB1 - SBm are constituted by the selectors 15-18 of the 4th series corresponding to the shift registers 11-14 of each series, respectively. It is connected to the shift registers 11-14 of the 1st - the 4th series, respectively, and is connected to right-and-left and regular redundant register SR1 - SR4, and the selectors 15-18 of the 1st - the 4th series input the data from each register SR1 - SR4, respectively. The selectors 15-18 of each series input the shift direction signal DR, and choose the signal from left regular and left redundant register SR1, SR2 or right regular, and right redundant register SR3 and SR4 based on the shift direction signal DR. The selectors 15-18 of each series are connected to the terminal area S1 - S4 of each series, respectively. The selectors 15-18 of each series are controlled by the terminal area S1 - S4 of each series, respectively, In the case of a leftward shift action, the signal from left regular register SR1 or left redundant register SR2 is chosen, and, in the case of a rightward shift action, the signal from right regular register SR3 or right redundant register SR4 is chosen.

[0057]That is, the selectors 15-18 of each series choose the signal from left regular and left redundant register SR1 and SR2, when set as a shift to the left. And the selectors 15-18 of each series are controlled by the terminal area S1 - S4 of each series, When left regular register SR1 performs a normal shift action, the signal from left regular register SR1 is chosen, and when left regular register SR1 does not perform a normal shift action, the signal from left redundant register SR2 is chosen.

[0058]The selectors 15-18 of each series choose the signal from right regular and right redundant register SR3 and SR4, when set as a shift to the right. And the selectors 15-18 of each series are controlled by the terminal area S1 - S4 of each series, When right regular register SR3 performs a normal shift action, the signal from right regular register SR3 is chosen, and when right regular register SR3 does not perform a normal shift action, the signal from right redundant register SR4 is chosen.

[0059]The selectors 15-18 of each series are connected to the gate of the four N-channel metal oxide semiconductor transistors (henceforth an NMOS transistor) T1-T4 which constitute switch block AB1 - ABm, respectively. The drain of NMOS transistors T1-T4 is connected to pixel cell GC, respectively. the source of NMOS transistor T1 --- video line VL1 --- connect the source of NMOS transistor T2 to video line VL2, the source of NMOS transistor T3 is connected to video line VL3, and the source of NMOS transistor T4 is connected to video line VL4.

[0060]Video signal Vd1 for displaying a picture, respectively - Vd4 are transmitted to each video line VL1 - VL4. Video signal Vd1 - Vd4 were generated by the video signal processing circuit which the exterior does not illustrate, and only the part of the picture as which the timing is displayed on 1 pixel, respectively has shifted. Four NMOS transistors T1-T4 connected to each video line VL1 - VL4, respectively are controlled by the selector 15 of the 1st series, and serve as one simultaneously. Then, each NMOS transistors T1-T4 sample video signal Vd1 - Vd4 which shifted by 1 pixel, respectively, and impress it to each pixel cell GC via the data lines D1-D4.

[0061]Similarly, the selector 16 of the 2nd series chooses the signal from left regular and left redundant register SR1, SR2 or right regular, and right redundant register SR3 and SR4 based on the shift direction signal DR. The selector 16 of the 2nd series is controlled by the terminal area S2 of the 2nd series, and chooses the signal from left norm or left redundant register SR1 and SR2 (right norm or right redundant register SR3, SR4). And the selector 16 of the 2nd series carries out on-off control of NMOS transistors T1-T4. Video line VL1 - video signal Vd1 of VL4 - Vd4 are impressed to each pixel cell GC via the data lines D5-D8.

[0062]The selector 17 of the 3rd series carries out on-off control of NMOS transistors T1-T4 connected to the selector 17 simultaneously, and impresses video signal Vd1 - Vd4 to each pixel cell GC via the data lines D9-D12. The selector 18 of the 4th series carries out on-off control of NMOS transistors T1-T4 connected to the selector 18 simultaneously, and impresses video signal Vd1 - Vd4 to each pixel cell GC via the data line D13 - D16. That is, one register block RB1 impresses video signal Vd1 - Vd4 to 16 pixel cell GC via the 16 data lines D1-D16.

[0063]And the terminal area S1 of each series adjoined and formed in register block RB1 - RBm, and register block RB1 - RBm - the pitch with S4. It is formed according to the pitch of two or more pixel cell GC in which a video signal is written by register block RB1 - RBm. That is, as shown in drawing 1, the terminal area S1 of register block RB1 and the 1st series is formed similarly to the width of 16 pixel cell GC to which video signal Vd1 - Vd4 are impressed by register block RB1. Similarly the terminal area S2 of register block RB2 and the 2nd series, the terminal area S3 of register block RB3 and the 3rd series, and register block RB4 and terminal area S4 of the 4th series, It is formed similarly to the width of pixel cell GC to which video signal Vd1 - Vd4 are impressed by those register block RB1 - RBm.

[0064]In drawing 3, although connection of the 2nd - each register SR1 of the shift registers 12-14 of the 4th series - SR4 is omitted, it is connected like each register SR1 of the shift register 11 of the 1st series - SR4.

[0065]Thus, according to this embodiment, the following operations and an effect can be acquired.

** The terminal area S1 - S4 of the 1st - the 4th series are arranged independently, respectively, and only the terminal area S1 of the 1st - the 4th series - any 1 of S4 were arranged between register block RB1 constituted with the shift registers 11-14 of the 1st - the 4th series - RB4.

[0066]** Each register block RB1 - the 1st of RBm - shift register SR1 of the 4th series - SR4 become the respectively same distance.

** the data transmitted to each register block RB1 - RBm is only a part which goes via the terminal area S1 - S4 of each series, respectively --- ***, the part which does not pass through the terminal area of other series, and its transmission delay time become short compared with the former.

[0067]** By the above-mentioned ** - **, since dispersion in transmission delay time can be lessened compared with the former, an exact picture can be displayed and luminosity unevenness can be prevented.

[0068]** Since generation of the timing which samples a video signal becomes easy by the above-mentioned ** - **, circuitry, such as a video signal processing circuit and a timing controller, can be simplified.

[0069]By the way, development of TFT (henceforth the polycrystalline silicon TFT) which used for the active layer as TFT102 the polycrystalline silicon film formed on the transparent insulating substrate is furthered.

[0070]There is an advantage that mobility is large and the polycrystalline silicon TFT has high driving ability compared with the thin film transistor (henceforth the amorphous silicon TFT) which used the amorphous silicon film for the active layer. Therefore, the polycrystalline silicon TFT can be used also as an element

which constitutes a logic circuit not only as a pixel driver element. Therefore, if the polycrystalline silicon TFT is used, driver integral-type LCD can be obtained by unifying even not only the pixel cell array 1 but the circumference driving circuit part 101 (the gate driver 2, the data driver 3) arranged around it on the same board. That is, each MOS transistor which constitutes the inner device of each drivers 2 and 3 is formed with the polycrystalline silicon TFT. And polycrystalline silicon TFT102 as a pixel driver element arranged at the pixel cell array 1 and polycrystalline silicon TFT103 which constitute each drivers 2 and 3 are formed at the same process.

[0071] Since [that mobility is large] the polycrystalline silicon TFT has high driving ability, if it constitutes each drivers 2 and 3 from polycrystalline silicon TFT103, it can make each drivers 2 and 3 highly efficient. And if each drivers 2 and 3 become highly efficient, the image quality of LCD can be raised.

[0072] The outline section of LCD of this embodiment which takes transmission type composition by the driver integral type which used the planar type polycrystalline silicon TFT is shown in drawing 7. The partial outline section of the pixel cell array 1 is shown in drawing 7 (a), the outline section of the wiring part between the pixel cell array 1 and each drivers 2 and 3 is shown in drawing 7 (b), and the outline section of each drivers 2 and 3 is shown in drawing 7 (c).

[0073] As shown in drawing 7 (a), between each transparent insulating substrate 201, 202 which carries out for relativity, the liquid crystal layer 203 with which the liquid crystal was filled up is formed. The display electrode 204 of liquid crystal cell LC is formed in the transparent insulating substrate 201, the common electrode 205 of liquid crystal cell LC is formed in the transparent insulating substrate 202, and each electrode 204, 205 has countered on both sides of the liquid crystal layer 203.

[0074] The polycrystalline silicon film 206 used as the active layer of polycrystalline silicon TFT102 is formed in the surface by the side of the liquid crystal layer 203 in the transparent insulating substrate 201. The gate dielectric film 207 is formed on the polycrystalline silicon film 206. On the gate dielectric film 207, the gate electrode 208 which constitutes the scanning line Gn is formed. The drain area 209 and the source region 210 are formed in the polycrystalline silicon film 206, and polycrystalline silicon TFT102 is constituted.

[0075] Auxiliary capacity CS is formed in the portion which adjoins polycrystalline silicon TFT102 in the transparent insulating substrate 201 at the same process simultaneously with creation of polycrystalline silicon TFT102. The storage electrode 211 of auxiliary capacity CS is formed in the polycrystalline silicon film 206, and is connected with the source region 210 of polycrystalline silicon TFT102. The dielectric film 212 is formed on the storage electrode 211, and the counterelectrode 213 of auxiliary capacity CS is formed on the dielectric film 212. The dielectric film 212 is on extension of the gate dielectric film 207, and is formed at the same process by the gate dielectric film 207 and an identical configuration. The counterelectrode 213 is formed at the same process by the gate electrode 208 and an identical configuration. The insulator layer 219 is formed in the side attachment wall of the counterelectrode 213 and the gate electrode 208, and the insulator layer 214 is formed on the counterelectrode 213 and the gate electrode 208.

[0076] The interlayer insulation film 215 is formed all over polycrystalline silicon TFT102 and auxiliary capacity CS. The source region 210 and the drain area 209 are connected to the source electrode 216 and the drain electrode 217 which constitutes the data line D16m via each contact hole formed in the interlayer insulation film 215, respectively. The insulator layer 218 is formed all over the device containing the drain electrode 217 and the source electrode 216. The source electrode 216 is connected with the display electrode 204 via the contact hole formed in the insulator layer 218. Generally as construction material of the drain electrode 217 and the source electrode 216, an aluminum containing alloy is used, and, generally ITO (Indium Tin Oxide) is used as construction material of the display electrode 204. Generally a sputtering technique is used for formation of each electrode 204, 217, 218.

[0077] Thus, the source region 210 and the display electrode 204 are connected via the source electrode 216 in order to take the ohmic contact of the source region 210 and the display electrode 204. That is, if the source electrode 216 is excluded, direct continuation of the source region 210 which comprises the polycrystalline silicon film 206, and the display electrode 204 which comprises ITO will be carried out. The energy gap by band gap difference arises, and it becomes impossible as a result, to obtain good ohmic contact by the hetero-junction of the source region 210 and the display electrode 204. If the ohmic contact of the source region 210 and the display electrode 204 cannot be taken, the data signal impressed to the data line D16m will no longer be correctly written in pixel cell GC, and the image quality of LCD will deteriorate.

[0078] As shown in drawing 7 (b), on the transparent insulating substrate 201, the scanning line Gn or the data line D16m is formed via the insulator layer 215, and the insulator layer 218 is formed all over the

device containing the wiring Gn and Dn. On the insulator layer 218, the liquid crystal layer 203, the common electrode 205, and the transparent insulating substrate 202 are formed like the pixel cell array 1.

[0079]As shown in drawing 7 (c), planar type polycrystalline silicon TFT103 which constitutes each drivers 2 and 3 is formed in the surface by the side of the liquid crystal layer 203 in the transparent insulating substrate 201. Polycrystalline silicon TFT103 is formed at the same process simultaneously with creation of polycrystalline silicon TFT102. Polycrystalline silicon TFT102 and identical codes are attached about each member which constitutes polycrystalline silicon TFT103. The insulator layer 218 is formed all over the device containing polycrystalline silicon TFT103. On the insulator layer 218, the liquid crystal layer 203, the common electrode 205, and the transparent insulating substrate 202 are formed like the pixel cell array 1.

[0080]By the way, there are the following in the formation method of the polycrystalline silicon film 206 used as the active layer of each polycrystalline silicon TFT102,103.

**** How to form the polycrystalline silicon film 206 directly; use a CVD method or PVD.** CVD methods include an ordinary pressure CVD method, a vacuum CVD method, plasma CVD method, an optical-pumping CVD method, etc. There are vacuum deposition, EB (Electron Beam) vacuum deposition, the MBE (Molecular Beam Epitaxy) method, a sputtering technique, etc. in PVD.

[0081]In this, the vacuum CVD method using the pyrolysis of a mono silane (SiH_4) or a disilane (Si_2H_6) is common, and the quality polycrystalline silicon film 206 can be formed. In a vacuum CVD method, treatment temperature serves as polycrystal below 550 ****** above amorphousness and 620 ******.

[0082]The plasma CVD method using the pyrolysis of the mono silane in the inside of plasma or a disilane is also used. If the treatment temperature of plasma CVD method adds hydrogen by a 300 ****** grade, a reaction will be promoted and an amorphous silicon film will be formed. And if inactive gas (helium, neon, argon, krypton, a xenon, radon) is added, plasma will be excited and a polycrystalline silicon film will be formed also with the same treatment temperature.

[0083]**** How to make it polycrystal-ize and form the polycrystalline silicon film 206 after forming an amorphous silicon film; use a solid phase grown method or the melting recrystallizing method.** A solid phase grown method is a method of making it polycrystal-izing with a solid and obtaining a polycrystalline silicon film, by performing prolonged heat treatment around 20 hours to an amorphous silicon film before and behind 600 ******.

[0084]The melting recrystallizing method is the method of maintaining substrate temperature below at 600 ******, carrying out melting only of the surface of an amorphous silicon film, and attaining recrystallization, and there are a laser annealing method and the RTA (Rapid Thermal Annealing) method. The laser annealing method is the method of irradiating with and carrying out heat melting of the laser on the surface of an amorphous silicon film. The RTA method is the method of irradiating with and carrying out heat melting of the lamp light on the surface of an amorphous silicon film.

[0085]The conventional polycrystalline silicon TFT was formed using an about 1000 ****** hot process (called a high temperature process). A high temperature process follows LSI technology with sufficient technological backlog over many years. Therefore, the polycrystalline silicon TFT (called the elevated-temperature polycrystalline silicon TFT) formed by the high temperature process is excellent in an element characteristic, reliability, and reproducibility. However, since process temperature of a high temperature process is high, silica glass must be used for a transparent insulating substrate. Since silica glass becomes remarkably expensive with enlargement and also there is a limitation in enlargement at present, the size of a transparent insulating substrate receives restriction. Therefore, although it can fully be used as the object for viewfinders and the object for liquid crystal projectors of a video camera, as an object for accepting reality, its panel size is too small, as for the panel size of LCD which balances in cost, for below 3 type to become, and to use.

[0086]On the other hand, using the process of the low temperature below 400 ******, since it can form, the amorphous silicon TFT can use usual glass for a transparent insulating substrate. Usual glass has only the heat-resistant temperature about 600 ****** also with the high-heat-resistance glass (for example, "7059" made from U.S. Corning Inc.) of silica glass marketed for LCD although there is about 1/of no restriction also in a size at a price of 10.

[0087]Then, forming the polycrystalline silicon TFT using the process (called a low temperature process) of the low temperature below a 600 ****** grade is called for so that usual glass (high-heat-resistance glass) can be used for a transparent insulating substrate. The polycrystalline silicon TFT formed by the low temperature process is called the low-temperature polycrystalline silicon TFT.

[0088]Therefore, in order to use high-heat-resistance glass for the transparent insulating substrate 201 and to provide LCD with big panel size cheaply, **** Adopt a low temperature process (as described above, a**

solid phase grown method or the melting recrystallizing method is used) at the time of formation of the polycrystalline silicon film 206, and. ** What is necessary is just to adopt a low temperature process over the whole process of manufacture of the polycrystalline silicon TFT102,103 also including the time of formation of the gate dielectric film 207, and formation of the source region 210 and the drain area 209. [0089]This invention is not limited to the above-mentioned embodiment, and may be carried out as follows.

(1) Although the terminal area S1 of the 1st - the 4th series - 1 of S4 have been arranged in order between register block RB1 - RBm in the above-mentioned embodiment, respectively, It may be made to arrange the terminal area S1 of the 1st - the 4th series - 1 of S4 in order between register block RB1 of more than two plurality - RBm.

[0090]It may be made to arrange the terminal area S1 of the 1st - the 4th series - 2 of S4 in order between register block RB1 of more than two plurality - RBm, as shown in drawing 6.

[0091](2) Although shape was taken in the above-mentioned embodiment to the TFT-LCD panel which provided register block RB1 which consists of the shift registers 11-14 of right and left, the 1st which were regular and were constituted by redundant shift register SR1 - SR4 - the 4th series - RBm, Shape may be taken to the TFT-LCD panel which provided the shift registers group of the series of more than two plurality in each register block RB1 - RBm.

[0092](3) According to the above-mentioned embodiment, although shape was taken to the LCD panel of the active matrix system, it may take shape and carry out to the LCD panel of a simple matrix system.

(4) Although shape was taken in the above-mentioned embodiment to the LCD panel provided with shift register SR1 of the left, SR2, and shift register SR3 of the right and SR4, it may take shape and carry out to the LCD panel which provided only shift register SR1 of the left, and SR2. It may take shape and carry out to the LCD panel which provided only shift register SR3 of the right, and SR4.

[0093](5) According to the above-mentioned embodiment, although one redundant shift register SR2 (SR4) was provided to regular shift register SR1 (SR3), two or more two or more redundant shift registers may be provided, and may be carried out.

[0094](6) According to the above-mentioned embodiment, although shape was taken to TFT-LCD, shape may be taken to MIM(Metal Insulator Metal)-LCD using a diode, and STN(Super Twisted Nematic)-LCD.

[0095](7) According to the above-mentioned embodiment, although shape was taken to the liquid crystal display module 2 of the driver integral type, take shape to the liquid crystal display module by the liquid crystal display module which is not a driver integral type, for example, TAB, and COG.

[0096](8) Put TFT102,103 on the amorphous silicon TFT instead of the polycrystalline silicon TFT, and replace it with.

(9) Put low-temperature polycrystalline silicon TFT102,103 on elevated-temperature polycrystalline silicon TFT102,103, and replace it with.

[0097](10) Put TFT102,103 on TFT of structures (a reverse planar type, a stagger type, a reverse stagger type, etc.) other than a planar type, and replace it with.

(11) Apply to the LCD panel which takes reflection type composition instead of the LCD panel which takes transmission type composition.

[0098]As mentioned above, although each embodiment was described, technical ideas other than the claim which can be grasped from each embodiment are indicated with those effects below.

(b) A display in which the pixel cell array by which said pixel cell is arranged, and said data driver are formed on one substrate in the display given in any 1 paragraph among claims 5, 6, and 8.

[0099]If it does in this way, the display of a driver integral type can be obtained. In the display of a driver integral type, since the wire length of each wiring becomes short, it can become possible to make wiring resistance and wiring capacity small, and image quality can be raised.

[0100](**) A display in which said thin film transistor is formed in the above-mentioned (b) of a low temperature process in the display of a statement. If it does in this way, it becomes possible to use usual glass for a substrate, and a pixel cell array can be enlarged.

[0101]

[Effect of the Invention]

1]The shift register which can lessen dispersion in transmission delay time can be provided.

[0102]2]The display using the shift register which can lessen dispersion in transmission delay time can be provided.

3]A highly efficient shift register can be provided.

[0103]4]A high definition display can be provided.

[Translation done.]

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1]The block diagram of the shift register of one embodiment.

[Drawing 2]The block circuit diagram of active matrix system LCD.

[Drawing 3]The important section block circuit diagram of a shift register.

[Drawing 4]The mimetic diagram showing connection of a shift register.

[Drawing 5]The explanatory view showing the composition of a register block.

[Drawing 6]The partial block circuit diagram of the shift register of another embodiment.

[Drawing 7]The outline sectional view of LCD of one embodiment.

[Drawing 8]The partial block circuit diagram of the conventional shift register.

[Drawing 9]Regular, the block circuit diagram showing a redundant shift register.

[Drawing 10]The 1st - the important section circuit diagram of the shift register of the 4th series.

[Description of Notations]

1 --- Pixel cell array

3 --- Data driver

4 --- Sampling transistor group

5 --- Shift registers group

101 --- Circumference driving circuit part

102,103 --- Polycrystalline silicon TFT

106 --- Polycrystalline silicon film

S1 - S4 --- Terminal area

11-14 --- The 1 - the 4th series shift register

D1-D16m --- Data line

GC --- Pixel cell

RB1 - RBm --- Register block

SR1 --- Left regular shift register

SR2 --- Left redundant shift register

SR3 --- Right regular shift register

SR4 --- Right redundant shift register

[Translation done.]

*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

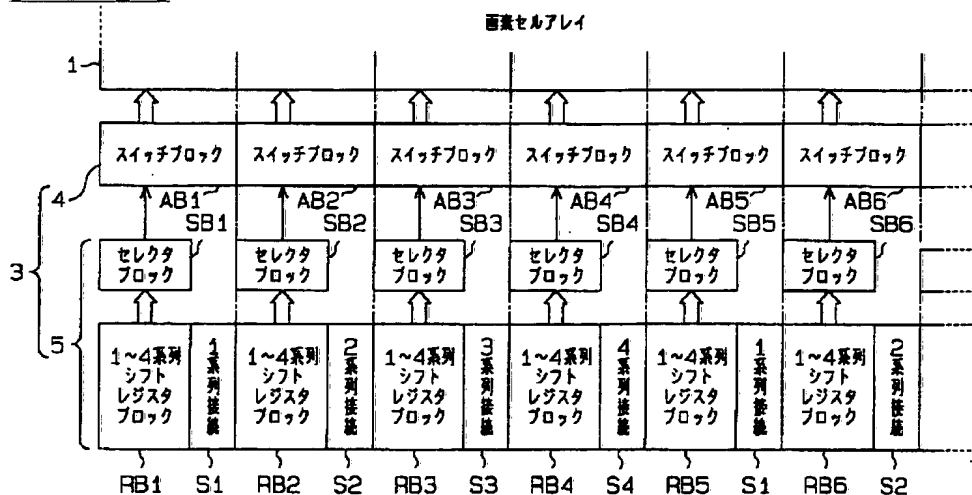
1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

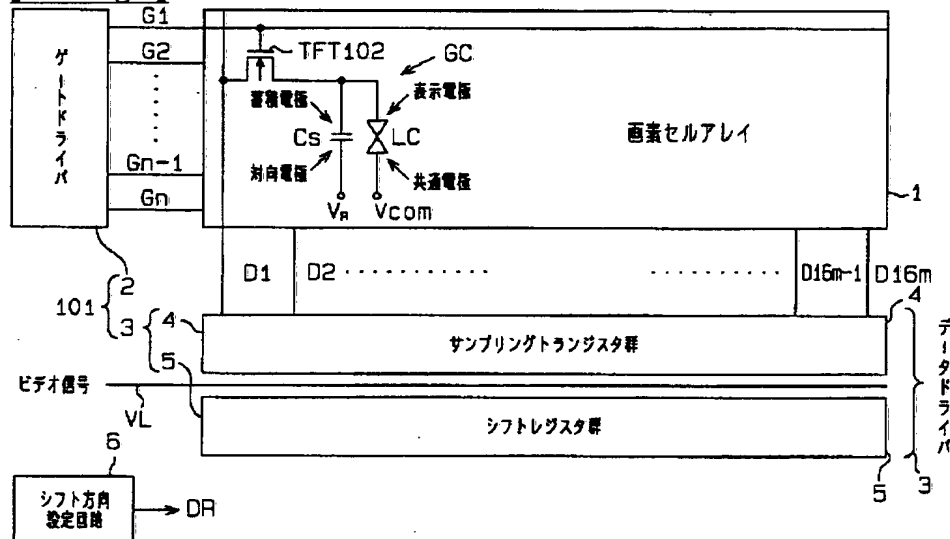
3.In the drawings, any words are not translated.

DRAWINGS

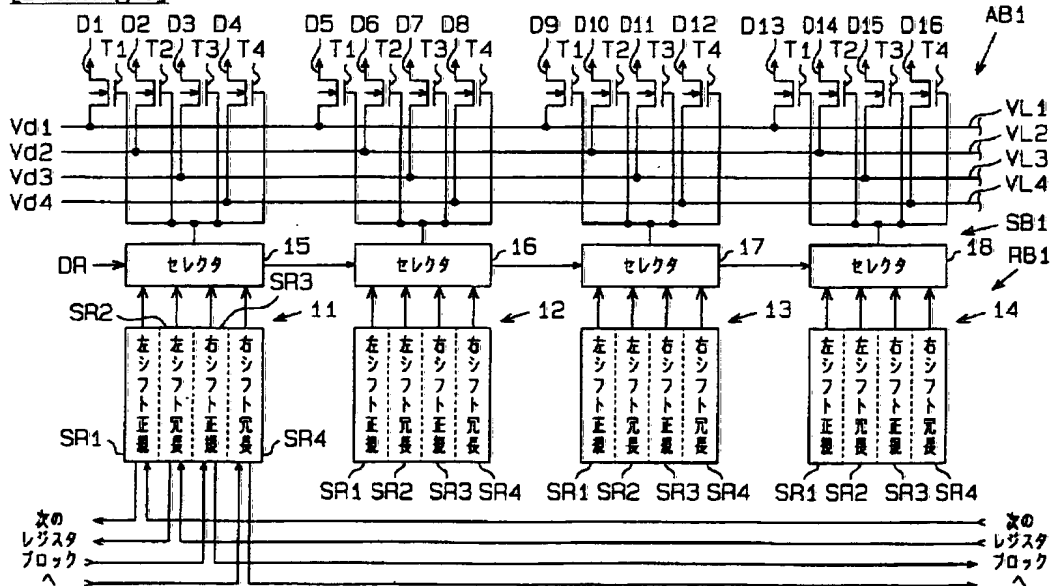
[Drawing 1]



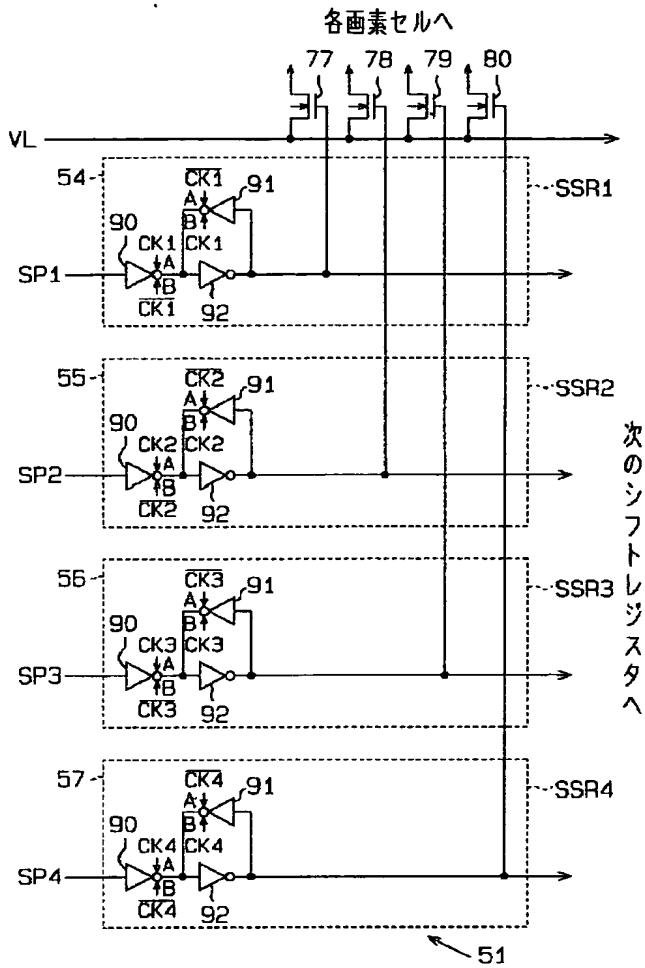
[Drawing 2]



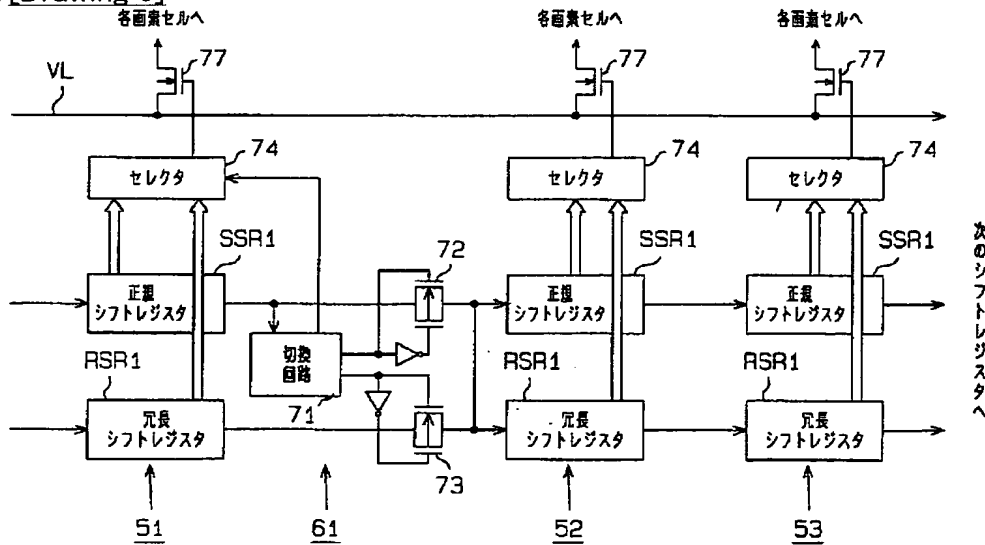
[Drawing 3]



[Drawing 4]



[Drawing 9]



[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-212793

(43)公開日 平成8年(1996)8月20日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 19/00	J			
G 0 9 G 3/20	R	4237-5H		
3/36				
G 1 1 C 19/28	B			

審査請求 未請求 請求項の数8 OL (全16頁)

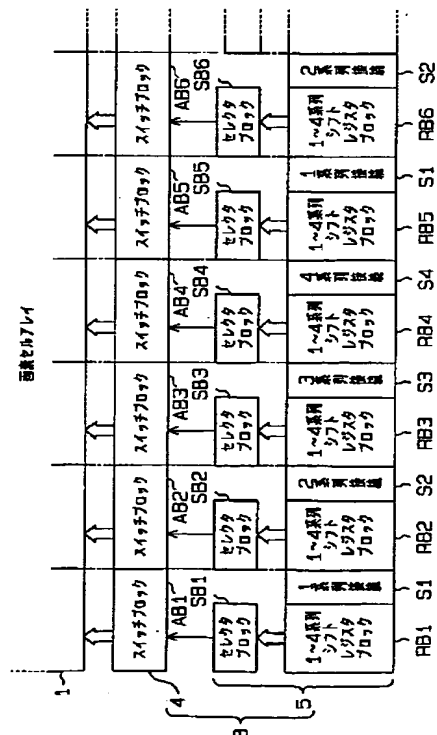
(21)出願番号	特願平7-200052	(71)出願人	000001889 三洋電機株式会社 大阪府守口市京阪本通2丁目5番5号
(22)出願日	平成7年(1995)8月4日	(72)発明者	木原 勝也 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
(31)優先権主張番号	特願平6-295029	(72)発明者	和田 淳 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
(32)優先日	平6(1994)11月29日	(72)発明者	古河 雅行 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
(33)優先権主張国	日本(JP)	(74)代理人	弁理士 恩田 博宣

(54)【発明の名称】 シフトレジスタおよび表示装置

(57)【要約】

【課題】伝達遅延時間のばらつきを少なくすることが可能なシフトレジスタを提供する。

【解決手段】LCDパネルのデータドライバ3は、サンプリングトランジスタ群4とシフトレジスタ群5とから構成される。シフトレジスタ群5には、左右、正規冗長シフトレジスタSR1～SR4よりなる1～4系列のシフトレジスタ11～14により構成されたシフトレジスタブロックRB1～RBmと、1～4系列の接続部S1～S4とが設けられている。1～4系列の接続部S1～S4はそれぞれ独立して配置され、1～4系列のシフトレジスタ11～14により構成されたレジスタブロックRB1～RB4間には、1～4系列の接続部S1～S4のうちのいずれか1つのみを配置するようにした。各レジスタブロックRB1～RBmの1～4系列のシフトレジスタSR1～SR4は、それぞれ同じ距離となる。



1

【特許請求の範囲】

【請求項1】 複数の系列のシフトレジスタ（11～14）により構成された複数のシフトレジスタブロック（RB1～RBm）と、

前記複数の系列のシフトレジスタ（11～14）に対してそれぞれ設けられ、各系列のシフトレジスタ（11～14）をそれぞれ接続する複数の接続部（S1～S4）とを備え、前記複数のシフトレジスタブロック（RB1～RBm）と接続部（S1～S4）とを一系列に配列したシフトレジスタにおいて、

前記各系列の接続部（S1～S4）を、少なくとも1つの系列の接続部が他の系列の接続部と離間した位置に配列したシフトレジスタ。

【請求項2】 請求項1に記載のシフトレジスタにおいて、

前記各シフトレジスタブロック（RB1～RBm）間には、各系列の接続部（S1～S4）が順番にそれぞれ1つずつ配置されたシフトレジスタ。

【請求項3】 請求項1に記載のシフトレジスタにおいて、

前記接続部（S1～S4）は、複数のシフトレジスタブロック毎に配置されたシフトレジスタ。

【請求項4】 請求項1～3のうちいずれか1項に記載のシフトレジスタにおいて、

前記複数の系列のシフトレジスタ（11～14）は、それぞれ正規シフトレジスタ（SR1, SR3）と冗長シフトレジスタ（SR2, SR4）とから構成され、

前記接続部は、各系列の正規シフトレジスタ（SR1, SR3）が正常なシフト動作を行っているか否かを検出し、その検出結果に基づいて正規シフトレジスタ（SR1, SR3）が正常なシフト動作を行っている場合にはその正規シフトレジスタ（SR1, SR3）からの出力を次のシフトレジスタブロックの対応する系列の正規シフトレジスタ（SR1, SR3）および冗長シフトレジスタ（SR2, SR4）に出力し、正規シフトレジスタ（SR1, SR3）が正常なシフト動作を行っていない場合には冗長シフトレジスタ（SR2, SR4）からの出力を次のシフトレジスタブロックの対応する系列の正規シフトレジスタ（SR1, SR3）および冗長シフトレジスタ（SR2, SR4）へ出力するようにしたシフトレジスタ。

【請求項5】 画素セル（GC）に接続された複数のデータ線（D1～D16m）と、

請求項1～4のうちいずれか1項に記載のシフトレジスタにより構成されたシフトレジスタ群（5）と、そのシフトレジスタ群（5）によりオンオフ制御され、ビデオライン（VL）に伝達されるビデオ信号を各データ線（D1～D16m）に転送するサンプリングトランジスタ群（4）とから構成されたデータドライバ（3）とを備えた表示装置。

【請求項6】 請求項5に記載の表示装置において、

2

前記シフトレジスタ群（5）の各系列のシフトレジスタ（11～14）は、それぞれ左シフト正規シフトレジスタ（SR1）と左シフト冗長シフトレジスタ（SR2）と右シフト正規シフトレジスタ（SR3）と右シフト冗長シフトレジスタ（SR4）とから構成された表示装置。

【請求項7】 請求項1～4のうちいずれか1項に記載のシフトレジスタにおいて、

前記シフトレジスタは、多結晶シリコン膜を能動層とする薄膜トランジスタによって構成されるシフトレジスタ。

【請求項8】 請求項5または請求項6に記載の表示装置において、

前記データドライバは、多結晶シリコン膜を能動層とする薄膜トランジスタによって構成される表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はシフトレジスタおよび表示装置に係り、詳しくは、複数系列のシフトレジスタを備えたドライバー体型的アクティブマトリックス方式LCDに関するものである。

【0002】

【従来の技術】近年、薄膜トランジスタ（TFT；Thin Film Transistor）を用いたアクティブマトリックス方式の液晶ディスプレイ（LCD；Liquid Crystal Display）が高画質な表示装置として注目されている。

【0003】マトリックスに配置された点（ドット）で表示を行うドットマトリックスLCDには、単純マトリックス方式とアクティブマトリックス方式とがある。単純マトリックス方式は、マトリックスに配置された各画素セルの液晶を走査信号に同期して外部から直接駆動する方式であり、電極と液晶だけでLCDの表示部である画素部（液晶パネル）が構成されている。そのため、走査線数が増大すると1つの画素セルに割り当てられる駆動時間（デューティ）が少なくなり、コントラストが低下するという欠点がある。

【0004】一方、アクティブマトリックス方式は、マトリックスに配置された各画素セルに画素駆動素子（アクティブエレメント、スイッチ素子、画素制御素子）と信号蓄積素子（画素容量）とを集積し、各画素セルに一種の記憶動作を行わせて液晶を準スタティックに駆動する方式である。すなわち、画素駆動素子は、走査信号によってオン・オフ状態が切り換わるスイッチとして機能する。そして、外部から送られてくるビデオ信号（データ信号、表示信号）は、駆動回路（データドライバ）を介してLCDパネル内部の配線（データ線）へ転送される。その転送されたビデオ信号は、オン状態にある画素駆動素子を介して画素セルに伝達され、液晶の駆動が行われる。その後、画素駆動素子がオフ状態になると、画素セルに印加されたデータ信号は電荷の状態で信号蓄積素子に蓄えられ、次に画素駆動素子がオン状態になるま

で引き続き液晶の駆動が行われる。そのため、走査線数が増大して1つの画素セルに割り当てられる駆動時間が少なくなっても、液晶の駆動が影響を受けることはなく、コントラストが低下することもない。従って、アクティブマトリックス方式によれば、単純マトリックス方式に比べてはるかに高画質な表示が可能になる。

【0005】アクティブマトリックス方式は画素駆動素子の違いにより、トランジスタ型(3端子型)とダイオード型(2端子型)とに大別される。トランジスタ型は、ダイオード型に比べて製造が困難である反面、コントラストや解像度を高くするのが容易でCRTに匹敵する高品位なLCDを実現することができるという特徴がある。トランジスタ型の画素駆動素子としては、一般にTFTが用いられる。

【0006】図8は、アクティブマトリックス方式LCDのデータドライバに設けられた4系列のシフトレジスタ群50の配列および接続を示す説明図である。シフトレジスタ群50には、複数のシフトレジスタブロック(以下、単にレジスタブロックという)51~53が設けられている。各レジスタブロック51~53は、順番に並べられた第1~第4系列のシフトレジスタ54~57によりそれぞれ構成されている。各系列のシフトレジスタ54~57は、それぞれ正規シフトレジスタSSRと冗長シフトレジスタRSRとにより構成されている。すなわち、各レジスタブロック51~53は、第1系列の正規シフトレジスタSSR1、冗長シフトレジスタRSR1、第2系列の正規シフトレジスタSSR2、冗長シフトレジスタRSR2、第3系列の正規シフトレジスタSSR3、冗長シフトレジスタRSR3、第4系列の正規シフトレジスタSSR4、冗長シフトレジスタRSR4の順に配列されている。

【0007】各レジスタブロック51~53は、第1~第4系列の正規および冗長シフトレジスタSSR1~SSR4、RSR1~RSR4がそれぞれ接続されている。すなわち、各レジスタブロック51~53の第1系列正規シフトレジスタSSR1がそれぞれ直列に接続され、第1系列冗長シフトレジスタRSR1がそれぞれ直列に接続されている。同様に、各レジスタブロック51~53の第2系列正規および冗長シフトレジスタSSR2、RSR2が、第3系列正規および冗長シフトレジスタSSR3、RSR3が、第4系列正規および冗長シフトレジスタSSR4、RSR4がそれぞれ互いに直列に接続されている。

【0008】また、シフトレジスタ群50には、接続部60が設けられている。接続部60は、第1~第4系列の接続部61~64により構成されている。各系列の接続部61~64は、複数のレジスタブロック51~53に対して1個設けられている。各接続部61~64は、それぞれレジスタブロック51、52間の対応する系列の正規および冗長シフトレジスタSSR1~SSR4、RSR1~RSR4の間に接続されている。

【0009】各系列の接続部61~64は、それぞれ各

系列の正規シフトレジスタSSR1~SSR4が正常なシフト動作を行わない場合に、冗長シフトレジスタRSR1~RSR4により伝達されるデータを選択しデータ線に伝達するようになっている。すなわち、図9に示すように、第1系列の接続部61は、切換回路71と、トランスミッションゲート72、73とから構成されている。切換回路71は、正規シフトレジスタSSR1から出力されるデータを入力し、そのデータに基づいて正規シフトレジスタSSR1が正常なシフト動作を行っているか否かを判断する。そして、切換回路71は、その判断結果に基づいてトランスミッションゲート72、73と、正規および冗長シフトレジスタSSR1、RSR1に接続されたセクタ74を制御するようになっている。

【0010】すなわち、正規シフトレジスタSSR1が正常なシフト動作を行っている場合、切換回路71は、トランスミッションゲート72をオン、トランスミッションゲート73をオフに制御して正規シフトレジスタSSR1からのデータを次段の正規および冗長シフトレジスタSSR2、RSR2に伝達する。また、切換回路71は、セクタ74を制御して正規シフトレジスタSSR1から出力される信号をアナログスイッチ77へ出力させる。アナログスイッチ77は、入力した正規シフトレジスタSSR1からの信号に基づいてオンオフし、ビデオラインVLに伝達されるビデオ信号を画素セルに印加する。

【0011】一方、正規シフトレジスタSSR1が正常なシフト動作を行っていない場合、切換回路71は、トランスミッションゲート72をオフ、トランスミッションゲート73をオンに制御する。すると、冗長シフトレジスタRSR1から出力されたデータが次段の正規および冗長シフトレジスタSSR2、RSR2へ伝達される。また、切換回路71は、セクタ74を制御して冗長シフトレジスタRSR1から出力される信号をアナログスイッチ77に出力させる。その結果、データの移動が停止することがなく、ビデオ信号が画素セルに印加されるので、1画面分の画像を表示することができるようになる。

【0012】尚、第2~第4系列の正規および冗長シフトレジスタSSR2~SSR4、RSR2~RSR4と第2~第4系列の接続部62~64の接続および動作は、第1系列における接続および動作と同じであるので、図示および説明を省略する。

【0013】また、各系列の正規および冗長シフトレジスタSSR1~SSR4、RSR1~RSR4は、ビデオ信号をサンプリングするためのクロック信号を生成するタイミングコントローラ(図示せず)の回路構成を簡略化するために設けられている。すなわち、図10に示すように、各系列の正規シフトレジスタSSR1~SSR4は、それぞれ2つのクロックドインバータ回路90、91とインバータ回路92とから構成されている。クロックドインバータ回路90、91は、入力端子AにHレベルの信号を、入力端子BにLレベルの信号を入力すると、インバータ回路とし

て動作して、その入力端子に入力した信号を反転し出力するようになっている。

【0014】第1系列のシフトレジスタSSR1にはクロック信号CK1, パーCK1 が、第2系列のシフトレジスタSSR2にはクロック信号CK2, パーCK2 が供給されている。また、第3系列のシフトレジスタSSR3にはクロック信号CK3, パーCK3 が、第4系列のシフトレジスタSSR4にはクロック信号CK4, パーCK4 が供給されている。各クロック信号CK1, パーCK1 ~ CK4, パーCK4 は、LCDパネル外部のタイミングコントローラによりそれぞれ1/4周期位相をずらして生成され供給されている。

【0015】すなわち、各シフトレジスタSSR1~SSR4は、各クロック信号CK1, パーCK1 ~ CK4, パーCK4 に基づいてNMOSTランジスタ77~80を1/4周期ずらして順次オンオフ制御する。そして、オンに制御されたNMOSTランジスタ77~80は、ビデオラインVLに伝達されたビデオ信号をサンプリングし、各NMOSTランジスタ77~80に接続された画素セルに供給するようになっている。従って、クロック信号CK1, パーCK1 ~ CK4, パーCK4 の周波数について、ビデオ信号をサンプリングする周波数の1/4の周波数に抑えることができるので、各クロック信号CK1, パーCK1 ~ CK4, パーCK4 を生成するタイミングコントローラの構成が簡略化できる。

【0016】尚、各系列の冗長シフトレジスタRSR1~RSR4は、各系列の正規シフトレジスタSSR1~SSR4が正常なシフト動作を行わない場合に使用され、その構成および動作は正規シフトレジスタSSR1~SSR4と同じであるので、図面を省略するとともにその動作説明を省略する。

【0017】

【発明が解決しようとする課題】ところで、各系列の接続部61~64は、レジスタブロック51, 52間に配置されているので、レジスタブロック51, 52間はレジスタブロック52, 53間に比べて接続部61~64の分だけ距離が離れている。その結果、レジスタブロック51からレジスタブロック52に伝達されるデータは、レジスタブロック52からレジスタブロック53に伝達されるデータに比べて、その伝達時間が長くなる。その結果、接続部60が形成されたレジスタブロック51, 52間で伝達される信号は、接続部60が形成されていないレジスタブロック52, 53間に伝達される信号に比べて大きく遅れることになる。従って、LCDパネル全体において、伝達されるデータが大きく遅れる部分が所々に存在するようになる。その結果、表示しようとする画像のビデオ信号に対して、そのビデオ信号をサンプリングするための信号が遅れるので、タイミングがずれてしまい、正確な画像を表示することができないという問題がある。また、タイミングを合わせようとすると、LCDパネル外部のビデオ信号処理回路やタイミングコントローラ等の回路構成が複雑になり、回路規模が

増大するという問題があった。更には、信号に遅延が生じる部分において、その信号により表示される画像に輝度むらが生じてしまい、画像が見難くなる場合があるという問題があった。

【0018】本発明は上記問題点を解決するためになされたものであって、以下の目的を有するものである。

1) 伝達遅延時間のばらつきを少なくすることが可能なシフトレジスタを提供する。

【0019】2) 伝達遅延時間のばらつきを少なくすることが可能なシフトレジスタを用いた表示装置を提供することができる。

3) 高性能なシフトレジスタを提供する。

【0020】4) 高画質な表示装置を提供する。

【0021】

【課題を解決するための手段】請求項1に記載の発明は、複数の系列のシフトレジスタにより構成された複数のシフトレジスタブロックと、前記複数の系列のシフトレジスタに対してそれぞれ設けられ、各系列のシフトレジスタをそれぞれ接続する複数の接続部とを備え、前記複数のシフトレジスタブロックと接続部とを一行に配列したシフトレジスタにおいて、前記各系列の接続部を、少なくとも1つの系列の接続部が他の系列の接続部と離間した位置に配列したことを要旨とする。

【0022】請求項2に記載の発明は、請求項1に記載のシフトレジスタにおいて、前記各シフトレジスタブロック間には、各系列の接続部が順番にそれぞれ1つずつ配置されたことを要旨とする。

【0023】請求項3に記載の発明は、請求項1に記載のシフトレジスタにおいて、前記接続部は、複数のシフトレジスタブロック毎に配置されたことを要旨とする。

請求項4に記載の発明は、請求項1~3のうちいずれか1項に記載のシフトレジスタにおいて、前記複数の系列のシフトレジスタは、それぞれ正規シフトレジスタと冗長シフトレジスタとから構成され、前記接続部は、各系列の正規シフトレジスタが正常なシフト動作を行っているか否かを検出し、その検出結果に基づいて正規シフトレジスタが正常なシフト動作を行っている場合にはその正規シフトレジスタからの出力を次のシフトレジスタブロックの対応する系列の正規シフトレジスタおよび冗長シフトレジスタに出力し、正規シフトレジスタが正常なシフト動作を行っていない場合には冗長シフトレジスタからの出力を次のシフトレジスタブロックの対応する系列の正規シフトレジスタおよび冗長シフトレジスタへ出力するようにしたことを要旨とする。

【0024】請求項5に記載の発明は、画素セルに接続された複数のデータ線と、請求項1~4のうちいずれか1項に記載のシフトレジスタにより構成されたシフトレジスタ群と、そのシフトレジスタ群によりオンオフ制御され、ビデオラインに伝達されるビデオ信号を各データ線に転送するサンプリングトランジスタ群とから構成さ

れたデータドライバとを備えたことを要旨とする。

【0025】請求項6に記載の発明は、請求項5に記載の表示装置において、前記シフトレジスタ群のシフトレジスタは、それぞれ左シフト正規シフトレジスタと左シフト冗長シフトレジスタと右シフト正規シフトレジスタと右シフト冗長シフトレジスタとから構成されることを要旨とする。

【0026】請求項7に記載の発明は、請求項1～4のうちいずれか1項に記載のシフトレジスタにおいて、前記シフトレジスタは、多結晶シリコン膜を能動層とする薄膜トランジスタによって構成されることを要旨とする。

【0027】請求項8に記載の発明は、請求項5または請求項6に記載の表示装置において、前記データドライバは、多結晶シリコン膜を能動層とする薄膜トランジスタによって構成されることを要旨とする。

【0028】従って、請求項1に記載の発明によれば、シフトレジスタブロックは、複数の系列のシフトレジスタにより構成される。接続部は、複数の系列に対してそれぞれ設けられ、各系列のシフトレジスタがそれぞれ接続される。複数の接続部は少なくとも1つの系列の接続部が他の系列の接続部と離間した位置に配列される。

【0029】請求項2に記載の発明によれば、各系列の接続部は、各シフトレジスタブロック間に順番にそれぞれ1つずつ配置される。請求項3に記載の発明によれば、複数のシフトレジスタブロック毎に接続部が配置される。

【0030】請求項4に記載の発明によれば、複数の系列のシフトレジスタは、それぞれ正規シフトレジスタと冗長シフトレジスタとから構成される。そして、接続部により、各系列の正規シフトレジスタが正常なシフト動作を行っているか否かが検出され、その検出結果に基づいて正規シフトレジスタが正常なシフト動作を行っている場合にはその正規シフトレジスタからの出力が次のシフトレジスタブロックの対応する系列の正規シフトレジスタおよび冗長シフトレジスタに出力される。正規シフトレジスタが正常なシフト動作を行っていない場合には冗長シフトレジスタからの出力が次のシフトレジスタブロックの対応する系列の正規シフトレジスタおよび冗長シフトレジスタに出力される。

【0031】請求項5に記載の発明によれば、画素セルには複数のデータ線が接続されている。データドライバは、シフトレジスタ群とサンプリングトランジスタ群とから構成される。シフトレジスタ群は、複数のシフトレジスタブロックにより構成される。シフトレジスタブロックは、複数の系列のシフトレジスタにより構成され、そのシフトレジスタは、正規シフトレジスタと冗長シフトレジスタとで構成される。その正規、冗長シフトレジスタは、接続部によりそれぞれ接続される。サンプリングトランジスタ群は、シフトレジスタ群によりオンオフ

制御され、ビデオラインに伝達されるビデオ信号を各データ線に転送する。

【0032】請求項6に記載の発明によれば、各系列のシフトレジスタは、それぞれ左シフト正規シフトレジスタと左シフト冗長シフトレジスタと右シフト正規シフトレジスタと右シフト冗長シフトレジスタとから構成される。

【0033】請求項7に記載の発明において、多結晶シリコン膜を能動層とする薄膜トランジスタは、移動度が大きく駆動能力が高い。従って、シフトレジスタを高性能にすることができる。

【0034】請求項8に記載の発明において、多結晶シリコン膜を能動層とする薄膜トランジスタは、移動度が大きく駆動能力が高い。従って、データドライバを高性能にすることが可能になり、表示装置を高画質にすることができる。

【0035】

【発明の実施の形態】以下、本発明を具体化した一実施形態を図1～図5に従って説明する。図2は、本実施形態のアクティブマトリックス方式LCDパネルのブロック回路図である。

【0036】LCDパネルは画素セルアレイ1、ゲートドライバ2、データドライバ3から構成されている。画素セルアレイ（画素部）1には各走査線（ゲート配線）G1～Gnと各データ線（ドレイン配線）D1～D16mとが配置されている。尚、n および m は整数である。各走査線Gnと各データ線D16mとはそれぞれ直交し、その直交部分に画素GCが設けられている。そして、各走査線Gnはゲートドライバ2に接続され、走査信号（ゲート信号）が印加されるようになっている。また、各データ線D16mはデータドライバ3に接続され、ビデオ信号が印加されるようになっている。これらのドライバ2、3によって周辺駆動回路部101が構成されている。そして、各ドライバ2、3のうち少なくともいずれか一方を画素セルアレイ1と同一基板上に形成したLCDパネルは、一般にドライバ一体型（ドライバ内蔵型）LCDと呼ばれる。ドライバ一体型LCDでは、各線G1～Gn、D1～D16mの配線長が短くなるため、配線抵抗や配線容量を小さくすることが可能になり、画質を向上させることができる。

【0037】画素セルGCは、画素駆動素子としてのTFT102、液晶セルLC、補助容量CSから構成される。走査線GnにはTFT102のゲートが接続され、データ線D16mにはTFT102のドレインが接続されている。そして、TFT102のソースには、液晶セルLCの表示電極（画素電極）と補助容量（蓄積容量または付加容量）CSとが接続されている。この液晶セルLCと補助容量CSとにより、前記信号蓄積素子が構成される。液晶セルLCの共通電極（表示電極の反対側の電極）には電圧Vcomが印加されている。一方、補助容量CSにおいて、TFT102のソースと接続される側の

電極の反対側の電極には定電圧VRが印加されている。この液晶セルLCの共通電極は、文字どおり全ての画素セルGCに対して共通した電極となっている。そして、液晶セルLCの表示電極と共通電極の間には静電容量が形成されている。尚、補助容量CSにおいて、TFT102のソースと接続される側の電極の反対側の電極は、隣の走査線と接続されている場合もある。

【0038】このように構成された画素セルGCにおいて、走査線Gnを正電圧にしてTFT102のゲートに正電圧を印加すると、TFT102がオンとなる。すると、データ線D16mに印加されたビデオ信号で、液晶セルLCの静電容量と補助容量CSとが充電される。反対に、走査線Gnを負電圧にしてTFT102のゲートに負電圧を印加すると、TFT102がオフとなり、その時点でデータ線D16mに印加されていた電圧が、液晶セルLCの静電容量と補助容量CSとによって保持される。このように、画素セルGCへ書き込みたいビデオ信号をデータ線D16mに与えて走査線Gnの電圧を制御することにより、画素セルGCに任意のビデオ信号を保持させておくことができる。その画素セルGCの保持しているビデオ信号に応じて液晶セルLCの透過率が変化し、画像が表示される。

【0039】ここで、画素セルGCの特性として重要なものに、書き込み特性と保持特性とがある。書き込み特性に対して要求されるのは、画素セルアレイ1の仕様から定められた単位時間内に、信号蓄積素子（液晶セルLCおよび補助容量CS）に対して所望のビデオ信号電圧を十分に書き込むことができるかどうかという点である。また、保持特性に対して要求されるのは、信号蓄積素子に一旦書き込んだビデオ信号電圧を必要な時間だけ保持することができるかどうかという点である。

【0040】補助容量CSが設けられているのは、信号蓄積素子の静電容量を増大させて書き込み特性および保持特性を向上させるためである。すなわち、液晶セルLCはその構造上、静電容量の増大には限界がある。そこで、補助容量CSによって液晶セルLCの静電容量の不足分を補うわけである。

【0041】データドライバ3は、サンプリングトランジスタ群4と、そのサンプリングトランジスタ群4をオンオフ制御するシフトレジスタ群5とから構成されている。シフトレジスタ群5は、クロック信号CKを入力し、そのクロック信号に基づいてシフト動作を行なうようになっている。そして、外部からビデオラインVLを介して送られてくるビデオ信号は、シフトレジスタ群5によってオンに制御されたサンプリングトランジスタ群4を介して各データ線D1～D16mに印加されるようになっている。

【0042】また、LCDパネルには、シフト方向設定回路6が設けられている。シフト方向設定回路6は、LCDパネルの仕様に従って左または右のシフト方向が設

定され、その設定された方向のシフト方向信号DRを出力するようになっている。

【0043】図1に示すように、シフトレジスタ群5は、複数のシフトレジスタブロック（以下、レジスタブロックという）RB1, RB2, …RBmが設けられている。シフトレジスタ群5は4系列のシフトレジスタであって、図5に示すように、各レジスタブロックRB1, RB2, …RBmは、それぞれ第1～第4系列のシフトレジスタ11～14により構成されている。

【0044】各系列のシフトレジスタ11～14は、それぞれ左シフト用正規シフトレジスタ（以下、左正規レジスタという）SR1と左シフト冗長シフトレジスタ（以下、左冗長レジスタという）SR2と右シフト正規シフトレジスタ（以下、右正規レジスタという）SR3と右シフト冗長シフトレジスタ（以下、右冗長レジスタという）SR4となっている。

【0045】各レジスタブロックRB1～RBmを構成する各系列のシフトレジスタ11～14の左正規レジスタSR1は直列に接続され、左冗長レジスタSR2は直列に接続されている。左正規および左冗長レジスタSR1, SR2は、LCDパネルの右から左に向かってシフト動作を行なうようになっている。また、右正規レジスタSR3は直列に接続され、右冗長レジスタSR4は直列に接続されている。右正規および右冗長レジスタSR3, SR4は、LCDパネルの左から右に向かってシフト動作を行なうようになっている。

【0046】LCDパネルは、例えば、液晶プロジェクション・システムに用いられる液晶パネルである。液晶プロジェクション・システムは、ライト・バルブとして使うR, G, B用の3枚のLCDパネルを透過した光を複数のダイクロイックミラーおよびミラーにより合成し、スクリーン上に映像を表示するためのものである。そのため、ダイクロイックミラーまたはミラーにより反射する回数により、LCDパネル上にはミラー反転像を表示する必要がある。そのため、LCDパネルは、サンプリングの方向を切り換えてミラー反転像を表示することができるようになっている。この構成により、正常な映像と、ミラー反転像とを切り換えて表示することができるので、R, G, B用のLCDパネルを共用することができるようになっている。

【0047】第1～第4系列のシフトレジスタ11～14は、各レジスタブロックRB1～RBmにおいて、一列に配列されている。また、各シフトレジスタ11～14を構成する左正規および冗長レジスタSR1, SR2と右正規および冗長レジスタSR3, SR4は、各シフトレジスタ11～14内において、各シフトレジスタ11～14が配列された方向と同一方向に一列に配列されている。

【0048】図1に示すように、シフトレジスタ群5には、各レジスタブロックRB1～RBmに対応してセレクトブロックSB1～SBmが設けられている。各レジスタプロ

ックRB1～RB_mは、それぞれセクタブロックSB1～SB_mを介してサンプリングトランジスタ群4に接続されている。サンプリングトランジスタ群4は、複数のアナログスイッチブロック（以下、スイッチブロックという）AB1～AB_mにより構成されている。

【0049】また、シフトレジスタ群5には、第1～第4系列の接続部S1～S4が複数設けられている。レジスタブロックRB1～RB_mと各系列の接続部S1～S4は、一列に配置されている。また、隣接するレジスタブロックRB1～RB_mには、各系列の接続部S1～S4のうちのいずれか1つを挟んで配置されている。また、各系列の接続部S1～S4は、第1系列の接続部S1から第4系列の接続部S4の順に配置され、第4系列の接続部S4の次には、第1系列の接続部S1が配置されている。

【0050】すなわち、レジスタブロックRB1、RB2間には第1系列の接続部S1が配置され、レジスタブロックRB2、RB3間には第2系列の接続部S2が配置され、レジスタブロックRB3、RB4間には第3系列の接続部S3が配置されている。そして、レジスタブロックRB4、RB5間には第4系列の接続部S4が配置され、レジスタブロックRB5、RB6間には第1系列の接続部S1が配置されている。

【0051】各系列のシフトレジスタ11～14は、各系列の接続部S1～S4をそれぞれ介して接続されている。例えば、図4(a)に示すように、レジスタブロックRB1の第1系列のシフトレジスタ11の左正規レジスタSR1は、第1系列の接続部S1を介して次のレジスタブロックRB2の左正規および左冗長レジスタSR1、SR2に接続されている。同様に、レジスタブロックRB1の第1系列の左冗長、右正規、右冗長レジスタSR2～SR4は、第1系列の接続部S1を介して次のレジスタブロックRB2の左冗長および左正規、右正規および右冗長、右冗長および右正規レジスタSR1～SR4にそれぞれ接続されている。

【0052】また、図4(b)に示すように、レジスタブロックRB2、RB3間に第2系列の接続部S2を挟む場合、レジスタブロックRB2の第1系列の左右および正規冗長レジスタSR1～SR4は、次のレジスタブロックRB3の第1系列の左右および正規冗長レジスタSR1～SR4にそれぞれ接続されている。尚、第3または第4系列の接続部S3、S4を挟む場合においても、同様に接続される。

【0053】すなわち、レジスタブロックRB1、RB2間には、第1系列の接続部S1のみが配置され、レジスタブロックRB2、RB3間には、第2系列の接続部S2のみが配置されている。また、レジスタブロックRB3、RB4間には、第3系列の接続部S3のみが配置され、レジスタブロックRB4、RB5間には、第4系列の接続部S4のみが配置されている。各レジスタブロックRB1～RB_m間

の距離は同じとなる。

【0054】また、レジスタブロックRB1、RB2間の第1系列の各レジスタSR1～SR4で伝達されるデータは、第2～第4系列の各レジスタSR1～SR4で伝達されるデータに比べて第1系列の接続部S1を経由する分だけ遅くなる。しかしながら、第2～第4系列の接続部S2～S4を通過しない分、その伝達遅延時間が従来に比べて短くなる。同様に、第2系列の接続部S2を経由してレジスタブロックRB2、RB3間の第2系列の各レジスタSR1～SR4で伝達されるデータは、第1、第3、第4系列の接続部S1、S3、S4を通過しない分その伝達遅延時間が従来に比べて短くなる。また、レジスタブロックRB3、RB4間の第3系列の各レジスタSR1～SR4、レジスタブロックRB4、RB5間の第4系列の各レジスタSR1～SR4で伝達されるデータは、それぞれ他の系列の接続部S1～S4を通過しない分、その伝達遅延時間が従来に比べて短くなる。その結果、各レジスタブロックRB1～RB_m間で伝達されるデータは、その伝達遅延時間のばらつきが従来に比べて少なくなる。

【0055】また、従来のシフトレジスタ50では、第1～第4系列のシフトレジスタ54～57により伝達されるデータ全てが遅延される。一方、レジスタブロックRB1、RB2間では第1系列のシフトレジスタ11により伝達されるデータのみが遅延され、第2～第4系列のシフトレジスタ12～14により伝達されるデータは遅延されないの、見かけ上においても、ばらつきを少なくすることができる。

【0056】図3に示すように、セクタブロックSB1～SB_mは、それぞれ各系列のシフトレジスタ11～14に対応した第4系列のセクタ15～18により構成されている。第1～第4系列のセクタ15～18は、第1～第4系列のシフトレジスタ11～14にそれぞれ接続され、左右、正規冗長レジスタSR1～SR4に接続され、各レジスタSR1～SR4からのデータをそれぞれ入力する。各系列のセクタ15～18は、シフト方向信号DRを入力し、そのシフト方向信号DRに基づいて左正規、左冗長レジスタSR1、SR2、または右正規、右冗長レジスタSR3、SR4からの信号を選択する。また、各系列のセクタ15～18は、各系列の接続部S1～S4にそれぞれ接続されている。各系列のセクタ15～18は、それぞれ各系列の接続部S1～S4により制御され、左方向のシフト動作の場合には左正規レジスタSR1または左冗長レジスタSR2からの信号を、右方向のシフト動作の場合には右正規レジスタSR3または右冗長レジスタSR4からの信号を選択するようになっている。

【0057】すなわち、各系列のセクタ15～18は、左シフトに設定された場合には左正規、左冗長レジスタSR1、SR2からの信号を選択する。そして、各系列のセクタ15～18は各系列の接続部S1～S4に制御され、左正規レジスタSR1が正常なシフト動作を行な

13

う場合には左正規レジスタSR1からの信号を選択し、左正規レジスタSR1が正常なシフト動作を行わない場合には左冗長レジスタSR2からの信号を選択する。

【0058】また、各系列のセクタ15~18は、右シフトに設定された場合には右正規、右冗長レジスタSR3, SR4からの信号を選択する。そして、各系列のセクタ15~18は各系列の接続部S1~S4に制御され、右正規レジスタSR3が正常なシフト動作を行なう場合には右正規レジスタSR3からの信号を選択し、右正規レジスタSR3が正常なシフト動作を行わない場合には右冗長レジスタSR4からの信号を選択するようになっている。

【0059】各系列のセクタ15~18は、スイッチブロックAB1~ABmを構成する4つのNチャネルMOSトランジスタ(以下、NMOSトランジスタという)T1~T4のゲートにそれぞれ接続されている。NMOSトランジスタT1~T4のドレインは、それぞれ画素セルGCに接続されている。NMOSトランジスタT1のソースはビデオラインVL1に、NMOSトランジスタT2のソースはビデオラインVL2に、NMOSトランジスタT3のソースはビデオラインVL3に、NMOSトランジスタT4のソースはビデオラインVL4に接続されている。

【0060】各ビデオラインVL1~VL4には、それぞれ画像を表示するためのビデオ信号Vd1~Vd4が伝達されている。ビデオ信号Vd1~Vd4は、外部の図示しないビデオ信号処理回路により生成され、そのタイミングはそれぞれ1画素に表示される画像の分だけずれている。各ビデオラインVL1~VL4にそれぞれ接続された4つのNMOSトランジスタT1~T4は、第1系列のセクタ15に制御され同時にオンとなる。すると、各NMOSトランジスタT1~T4は、それぞれ1画素分ずれたビデオ信号Vd1~Vd4をサンプリングしデータ線D1~D4を介して各画素セルGCへ印加するようになっている。

【0061】同様に、第2系列のセクタ16は、シフト方向信号DRに基づいて左正規、左冗長レジスタSR1, SR2、または右正規、右冗長レジスタSR3, SR4からの信号を選択する。更に、第2系列のセクタ16は、第2系列の接続部S2により制御され、左正規または左冗長レジスタSR1, SR2(右正規または右冗長レジスタSR3, SR4)からの信号を選択する。そして、第2系列のセクタ16は、NMOSトランジスタT1~T4をオンオフ制御する。ビデオラインVL1~VL4のビデオ信号Vd1~Vd4をデータ線D5~D8を介して各画素セルGCへ印加するようになっている。

【0062】更に、第3系列のセクタ17は、そのセクタ17に接続されたNMOSトランジスタT1~T4を同時にオンオフ制御してビデオ信号Vd1~Vd4をデータ線D9~D12を介して各画素セルGCへ印加する。第4系列のセクタ18は、そのセクタ18に接続された

14

NMOSトランジスタT1~T4を同時にオンオフ制御してビデオ信号Vd1~Vd4をデータ線D13~D16を介して各画素セルGCへ印加するようになっている。すなわち、1つのレジスタブロックRB1は、ビデオ信号Vd1~Vd4を16本のデータ線D1~D16を介して16個の画素セルGCに印加するようになっている。

【0063】そして、レジスタブロックRB1~RBmと、そのレジスタブロックRB1~RBmに隣接して形成された各系列の接続部S1~S4とのピッチは、そのレジスタブロックRB1~RBmによりビデオ信号が書き込まれる複数の画素セルGCのピッチに合わせて形成されている。すなわち、図1に示すように、レジスタブロックRB1と第1系列の接続部S1は、レジスタブロックRB1によりビデオ信号Vd1~Vd4が印加される16個の画素セルGCの幅と同じに形成されている。同様に、レジスタブロックRB2と第2系列の接続部S2、レジスタブロックRB3と第3系列の接続部S3、レジスタブロックRB4と第4系列の接続部S4は、それらのレジスタブロックRB1~RBmによりビデオ信号Vd1~Vd4が印加される画素セルGCの幅と同じに形成されている。

【0064】尚、図3において、第2~第4系列のシフトレジスタ12~14の各レジスタSR1~SR4の接続を省略してあるが、第1系列のシフトレジスタ11の各レジスタSR1~SR4と同様に接続されている。

【0065】このように、本実施形態によれば、以下の作用および効果を得ることができる。

①第1~第4系列の接続部S1~S4をそれぞれ独立して配置し、第1~第4系列のシフトレジスタ11~14により構成されたレジスタブロックRB1~RB4間には、第1~第4系列の接続部S1~S4のうちのいずれか1つのみを配置するようにした。

【0066】②各レジスタブロックRB1~RBmの第1~第4系列のシフトレジスタSR1~SR4は、それぞれ同じ距離となる。

③各レジスタブロックRB1~RBmに伝達されるデータは、それぞれ各系列の接続部S1~S4を経由する分だけ遅れ、他の系列の接続部を通過しない分、その伝達遅延時間が従来に比べて短くなる。

【0067】④上記①~③により、従来に比べて伝達遅延時間のばらつきを少なくすることができるので、正確な画像を表示することができ、輝度むらを防止することができる。

【0068】⑤上記①~③により、ビデオ信号をサンプリングするタイミングの生成が容易になるので、ビデオ信号処理回路やタイミングコントローラ等の回路構成を簡単にすることができる。

【0069】ところで、TFT102として、透明絶縁基板上に形成された多結晶シリコン膜を能動層に用いたTFT(以下、多結晶シリコンTFTという)の開発が進められている。

【0070】多結晶シリコンTFTは、非晶質シリコン膜を能動層に用いた薄膜トランジスタ（以下、非晶質シリコンTFTという）に比べ、移動度が大きく駆動能力が高いという利点がある。そのため、多結晶シリコンTFTは、画素駆動素子としてだけでなく論理回路を構成する素子としても使用することができる。従って、多結晶シリコンTFTを用いれば、画素セルアレイ1だけでなく、その周辺に配置されている周辺駆動回路部101（ゲートドライバ2、データドライバ3）までを同一基板上に一体化することで、ドライバー一体型LCDを得ることができる。すなわち、各ドライバ2、3の内部素子を構成する各MOSトランジスタを多結晶シリコンTFTで形成する。そして、画素セルアレイ1に配置された画素駆動素子としての多結晶シリコンTFT102と、各ドライバ2、3を構成する多結晶シリコンTFT103とを同一工程で形成するわけである。

【0071】また、多結晶シリコンTFTは移動度が大きく駆動能力が高いため、多結晶シリコンTFT103で各ドライバ2、3を構成すれば、各ドライバ2、3を高性能にすることができる。そして、各ドライバ2、3が高性能になれば、LCDの画質を向上させることができる。

【0072】図7に、プレーナ型の多結晶シリコンTFTを用いたドライバー一体型で透過型構成をとる本実施形態のLCDの概略断面を示す。図7（a）に画素セルアレイ1の一部概略断面を示し、図7（b）に画素セルアレイ1と各ドライバ2、3との間の配線部分の概略断面を示し、図7（c）に各ドライバ2、3の概略断面を示す。

【0073】図7（a）に示すように、相対向する各透明絶縁基板201、202の間には液晶が充填された液晶層203が形成されている。透明絶縁基板201には液晶セルLCの表示電極204が設けられ、透明絶縁基板202には液晶セルLCの共通電極205が設けられており、各電極204、205は液晶層203を挟んで対向している。

【0074】透明絶縁基板201における液晶層203側の表面には、多結晶シリコンTFT102の能動層となる多結晶シリコン膜206が形成されている。多結晶シリコン膜206上にはゲート絶縁膜207が形成されている。ゲート絶縁膜207上には、走査線Gnを構成するゲート電極208が形成されている。多結晶シリコン膜206にはドレイン領域209およびソース領域210が形成されて多結晶シリコンTFT102が構成される。

【0075】透明絶縁基板201において多結晶シリコンTFT102と隣接する部分には、多結晶シリコンTFT102の作成と同時に同一工程にて補助容量CSが形成されている。補助容量CSの蓄積電極211は多結晶シリコン膜206に形成され、多結晶シリコンTFT

102のソース領域210と接続されている。蓄積電極211上には誘電体膜212が形成され、誘電体膜212上には補助容量CSの対向電極213が形成されている。尚、誘電体膜212はゲート絶縁膜207の延長上にあり、ゲート絶縁膜207と同一構成で同一工程にて形成される。また、対向電極213はゲート電極208と同一構成で同一工程にて形成される。対向電極213およびゲート電極208の側壁には絶縁膜219が形成され、対向電極213およびゲート電極208の上には絶縁膜214が形成されている。

【0076】多結晶シリコンTFT102および補助容量CSの全面に層間絶縁膜215が形成されている。ソース領域210とドレイン領域209とはそれぞれ、層間絶縁膜215に形成された各コンタクトホールを介して、ソース電極216とデータ線D16mを構成するドレイン電極217とに接続されている。ドレイン電極217およびソース電極216を含むデバイスの全面に絶縁膜218が形成されている。ソース電極216は絶縁膜218に形成されたコンタクトホールを介して表示電極204と接続されている。尚、ドレイン電極217およびソース電極216の材質としては一般にアルミ合金が用いられ、表示電極204の材質としては一般にITO（Indium Tin Oxide）が用いられる。また、各電極204、217、218の形成には一般にスパッタ法が用いられる。

【0077】このように、ソース領域210と表示電極204とがソース電極216を介して接続されているのは、ソース領域210と表示電極204とのオーミックコンタクトをとるためである。すなわち、ソース電極216を省くと、多結晶シリコン膜206から成るソース領域210とITOから成る表示電極204とが直接接続される。その結果、ソース領域210と表示電極204とのヘテロ接合によってバンドギャップ差によるエネルギーギャップが生じ、良好なオーミックコンタクトを得られなくなる。ソース領域210と表示電極204とのオーミックコンタクトがとれていないと、データ線D16mに印加されたデータ信号が画素セルGCへ正確に書き込まれなくなり、LCDの画質が低下することになる。

【0078】図7（b）に示すように、透明絶縁基板201上には絶縁膜215を介して走査線Gnまたはデータ線D16mが形成され、その配線Gn、Dnを含むデバイスの全面に絶縁膜218が形成されている。絶縁膜218上には画素セルアレイ1と同様に、液晶層203、共通電極205、透明絶縁基板202が形成されている。

【0079】図7（c）に示すように、透明絶縁基板201における液晶層203側の表面には、各ドライバ2、3を構成するプレーナ型の多結晶シリコンTFT103が形成されている。多結晶シリコンTFT103は、多結晶シリコンTFT102の作成と同時に同一工程にて形成されている。尚、多結晶シリコンTFT10

3を構成する各部材については多結晶シリコンTFT 102と同一符号を付してある。多結晶シリコンTFT 103を含むデバイスの全面に絶縁膜218が形成されている。絶縁膜218上には画素セルアレイ1と同様に、液晶層203、共通電極205、透明絶縁基板202が形成されている。

【0080】ところで、各多結晶シリコンTFT 102, 103の能動層となる多結晶シリコン膜206の形成方法には以下のものがある。

①多結晶シリコン膜206を直接形成する方法；CVD法またはPVD法を用いる。CVD法には常圧CVD法、減圧CVD法、プラズマCVD法、光励起CVD法などがある。また、PVD法には蒸着法、EB (Electron Beam) 蒸着法、MBE (Molecular Beam Epitaxy) 法、スパッタ法などがある。

【0081】この中では、モノシラン (SiH_4) またはジシラン (Si_2H_6) の熱分解を利用する減圧CVD法が一般的であり、最も高品質な多結晶シリコン膜206を形成することができる。減圧CVD法では、処理温度が550℃以下では非晶質、620℃以上では多結晶となる。

【0082】また、プラズマ中でのモノシランまたはジシランの熱分解を利用するプラズマCVD法も用いられる。プラズマCVD法の処理温度は300℃程度で、水素を添加すると反応が促進されて非晶質シリコン膜が形成される。そして、不活性ガス（ヘリウム、ネオン、アルゴン、クリプトン、キセノン、ラドン）を添加するとプラズマが励起され、同一の処理温度でも多結晶シリコン膜が形成される。

【0083】②非晶質シリコン膜を形成した後に多結晶化させて多結晶シリコン膜206を形成する方法；固相成長法または熔融再結晶化法を用いる。固相成長法は、非晶質シリコン膜に600℃前後で20時間前後の長時間の熱処理を行うことにより、固体のままで多結晶化させて多結晶シリコン膜を得る方法である。

【0084】熔融再結晶化法は、非晶質シリコン膜の表面だけを熔融させて再結晶化を図りながら基板温度を600℃以下に保つ方法であり、レーザアニール法やRTA (Rapid Thermal Annealing) 法がある。レーザアニール法は、非晶質シリコン膜の表面にレーザを照射して加熱熔融させる方法である。RTA法は、非晶質シリコン膜の表面にランプ光を照射して加熱熔融させる方法である。

【0085】従来の多結晶シリコンTFTは、1000℃程度の高温の工程（高温プロセスと呼ばれる）を使って形成されていた。高温プロセスは長年に渡る十分な技術的蓄積のあるLSI技術を踏襲したものである。そのため、高温プロセスで形成された多結晶シリコンTFT（高温多結晶シリコンTFTと呼ばれる）は、素子特性、信頼性、再現性に優れている。しかし、高温プロセ

スはプロセス温度が高いため、透明絶縁基板には石英ガラスを使わざるを得ない。石英ガラスは大型化に伴って著しく高価になる上に現在のところ大型化には限りがあるため、透明絶縁基板の寸法が制限を受ける。そのため、コスト的に見合うLCDのパネルサイズは3型以下となり、ビデオカメラのビューファインダ用や液晶プロジェクタ用としては十分に使用できるものの、直視用としてはパネルサイズが小さすぎて使用できない。

【0086】一方、非晶質シリコンTFTは、400℃以下の低温の工程を使って形成可能なため、透明絶縁基板に通常のガラスを使うことができる。通常のガラスは石英ガラスの約1/10の価格で寸法にも制限がないが、LCD用に市販されている高耐熱ガラス（例えば、米国Corning Inc.製の「7059」）でも600℃程度の耐熱温度しかない。

【0087】そこで、透明絶縁基板に通常のガラス（高耐熱ガラス）を使えるように、多結晶シリコンTFTを600℃程度以下の低温の工程（低温プロセスと呼ばれる）を使って形成することが求められている。低温プロセスで形成された多結晶シリコンTFTは低温多結晶シリコンTFTと呼ばれる。

【0088】従って、透明絶縁基板201に高耐熱ガラスを用いてパネルサイズの大きなLCDを安価に提供するには、①多結晶シリコン膜206の形成時に低温プロセス（前記したように、固相成長法または熔融再結晶化法を用いる）を採用すると共に、②ゲート絶縁膜207の形成時やソース領域210およびドレイン領域209の形成時をも含む多結晶シリコンTFT 102, 103の製造の全工程に渡って低温プロセスを採用すればよい。

【0089】尚、本発明は上記実施形態に限定されるものではなく、以下のように実施してもよい。

(1) 上記実施形態では、レジスタブロックRB1～RBm間にそれぞれ第1～第4系列の接続部S1～S4のうちの1つを順番に配置したが、2つ以上複数のレジスタブロックRB1～RBm間に第1～第4系列の接続部S1～S4のうちの1つを順番に配置するようにしてもよい。

【0090】また、図6に示すように、2つ以上複数のレジスタブロックRB1～RBm間に第1～第4系列の接続部S1～S4のうちの2つを順番に配置するようにしてもよい。

【0091】(2) 上記実施形態では、左右、正規および冗長シフトレジスタSR1～SR4により構成された第1～第4系列のシフトレジスタ11～14からなるレジスタブロックRB1～RBmを設けたTFT-LCDパネルに具体化した。各レジスタブロックRB1～RBmに2つ以上複数の系列のシフトレジスタ群を設けたTFT-LCDパネルに具体化してもよい。

【0092】(3) 上記実施形態では、アクティブマトリックス方式のLCDパネルに具体化した。単純マト

リックス方式のLCDパネルに具体化して実施してもよい。

(4) 上記実施形態では、左方向のシフトレジスタSR1, SR2 と、右方向のシフトレジスタSR3, SR4 とを備えたLCDパネルに具体化した、左方向のシフトレジスタSR1, SR2 のみを設けたLCDパネルに具体化して実施してもよい。また、右方向のシフトレジスタSR3, SR4 のみを設けたLCDパネルに具体化して実施してもよい。

【0093】(5) 上記実施形態では、正規シフトレジスタSR1 (SR3) に対して1つの冗長シフトレジスタSR2 (SR4) を設けたが、冗長シフトレジスタを2つ以上複数設けて実施してもよい。

【0094】(6) 上記実施形態では、TFT-LCDに具体化した、ダイオードを用いたMIM (Metal Insulator Metal) -LCDや、STN (Super Twisted Nematic) -LCDに具体化してもよい。

【0095】(7) 上記実施形態では、ドライバー一体型の液晶表示モジュール2に具体化した、ドライバー一体型ではない液晶表示モジュール、例えばTAB、COGによる液晶表示モジュールに具体化する。

【0096】(8) TFT102, 103を、多結晶シリコンTFTではなく非晶質シリコンTFTに置き代える。

(9) 低温多結晶シリコンTFT102, 103を、高温多結晶シリコンTFT102, 103に置き代える。

【0097】(10) TFT102, 103を、プレーナ型以外の構造(逆プレーナ型、スタガ型、逆スタガ型など)のTFTに置き代える。

(11) 透過型構成をとるLCDパネルではなく、反射型構成をとるLCDパネルに適用する。

【0098】以上、各実施形態について説明したが、各実施形態から把握できる請求項以外の技術的思想について、以下にそれらの効果と共に記載する。

(イ) 請求項5, 6, 8のうちいずれか1項に記載の表示装置において、前記画素セルが配置されている画素セルアレイと、前記データドライバとは1枚の基板上に形成されている表示装置。

【0099】このようにすれば、ドライバー一体型の表示装置を得ることができる。ドライバー一体型の表示装置では、各配線の配線長が短くなるため、配線抵抗や配線容量を小さくすることが可能になり、画質を向上させることができる。

【0100】(ロ) 上記(イ)に記載の表示装置において、前記薄膜トランジスタは低温プロセスによって形成される表示装置。このようにすれば、基板に通常のガラ

スを用いることが可能になり、画素セルアレイを大型化することができる。

【0101】

【発明の効果】

1) 伝達遅延時間のばらつきを少なくすることが可能なシフトレジスタを提供することができる。

【0102】2) 伝達遅延時間のばらつきを少なくすることが可能なシフトレジスタを用いた表示装置を提供することができる。

3) 高性能なシフトレジスタを提供することができる。

【0103】4) 高画質な表示装置を提供することができる。

【図面の簡単な説明】

【図1】一実施形態のシフトレジスタのブロック図。

【図2】アクティブマトリックス方式LCDのブロック回路図。

【図3】シフトレジスタの要部ブロック回路図。

【図4】シフトレジスタの接続を示す模式図。

【図5】レジスタブロックの構成を示す説明図。

【図6】別の実施形態のシフトレジスタの一部ブロック回路図。

【図7】一実施形態のLCDの概略断面図。

【図8】従来のシフトレジスタの一部ブロック回路図。

【図9】正規、冗長シフトレジスタを示すブロック回路図。

【図10】第1～第4系列のシフトレジスタの要部回路図。

【符号の説明】

1…画素セルアレイ

3…データドライバ

4…サンプリングトランジスタ群

5…シフトレジスタ群

101…周辺駆動回路部

102, 103…多結晶シリコンTFT

106…多結晶シリコン膜

S1～S4…接続部

11～14…第1～第4系列シフトレジスタ

D1～D16m…データ線

GC…画素セル

RB1～RBm…レジスタブロック

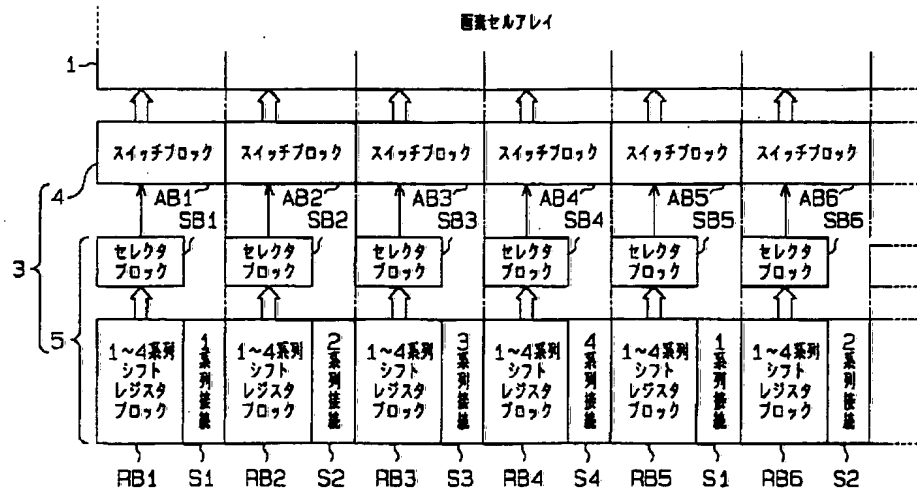
SR1…左正規シフトレジスタ

SR2…左冗長シフトレジスタ

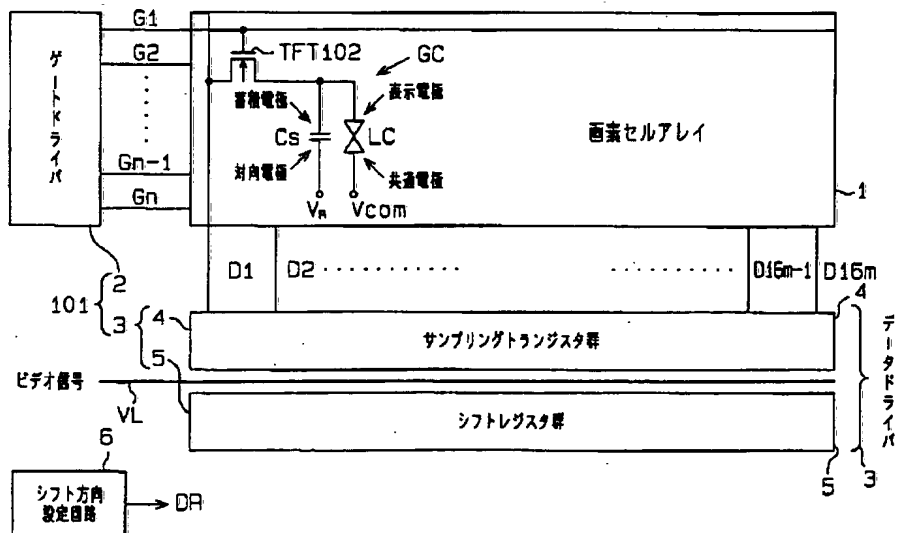
SR3…右正規シフトレジスタ

SR4…右冗長シフトレジスタ

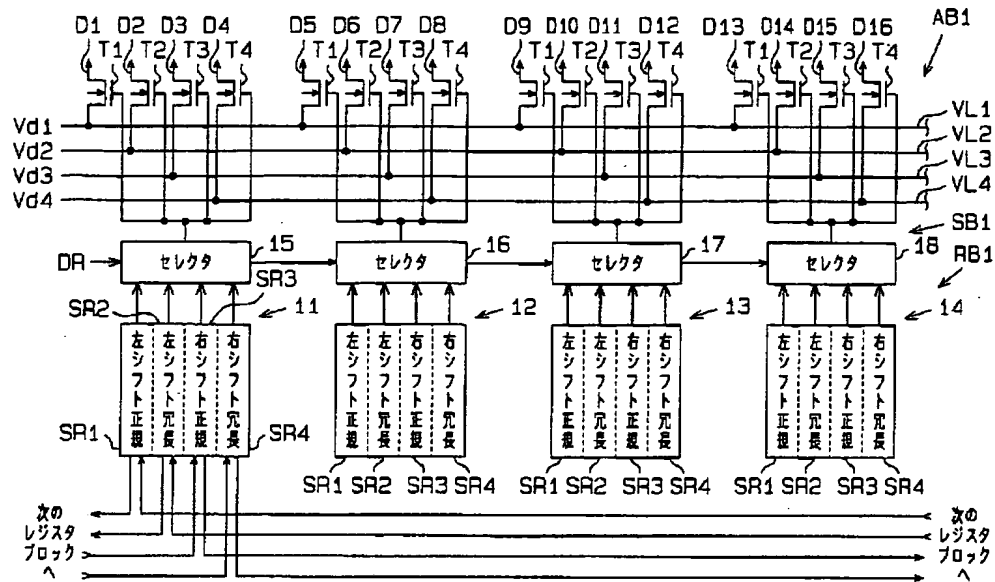
【図1】



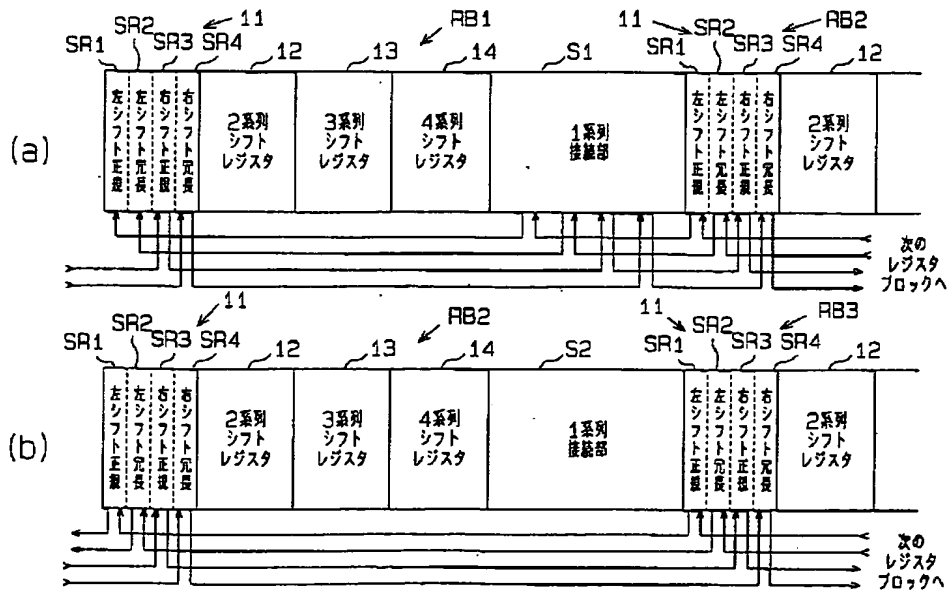
【図2】



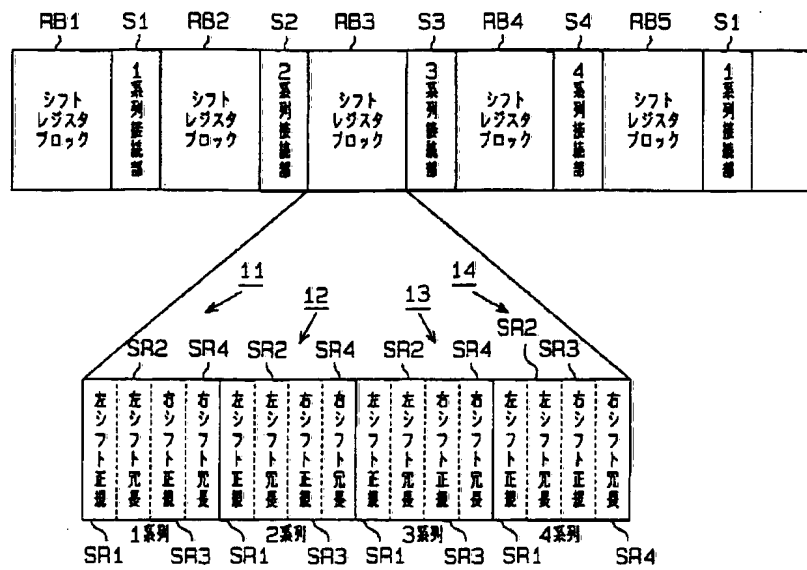
【図3】



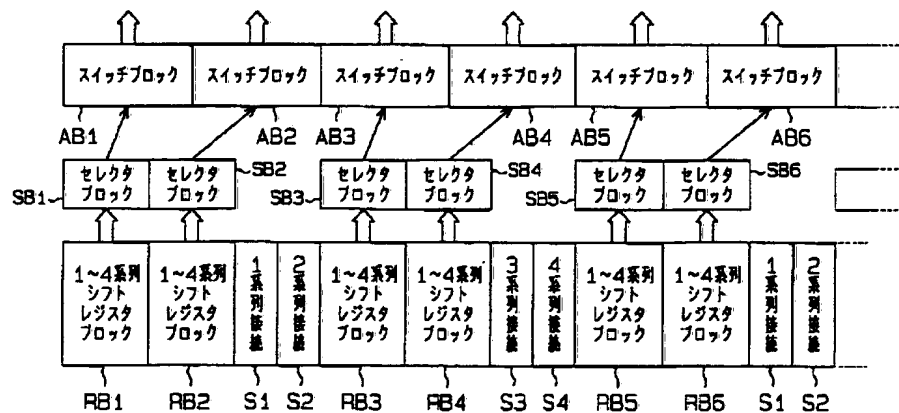
【図4】



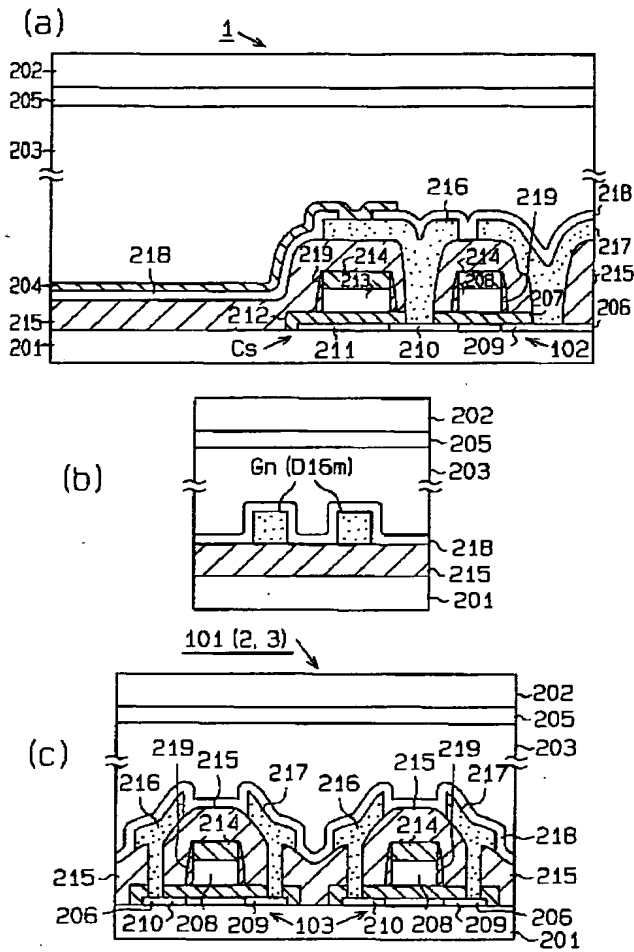
【図5】



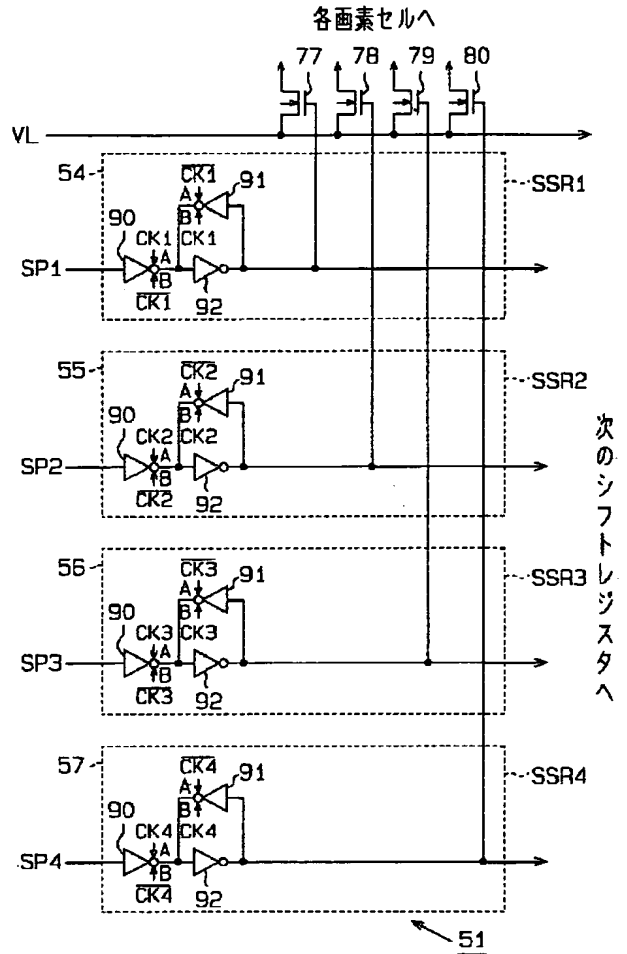
【図6】



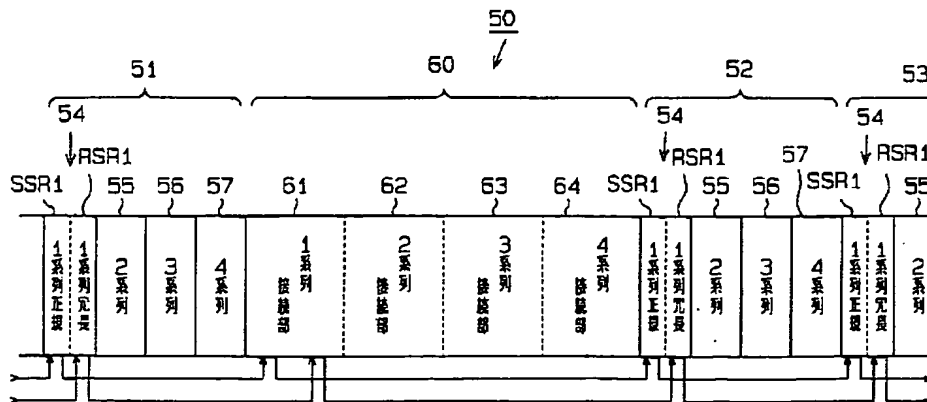
【図7】



【図10】



【図8】



【図9】

